

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036252

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 27/10

(21)Application number : 07-181513

(71)Applicant : HITACHI LTD

(22)Date of filing : 18.07.1995

(72)Inventor : HASHIMOTO NAOTAKA

HOSHINO YUTAKA

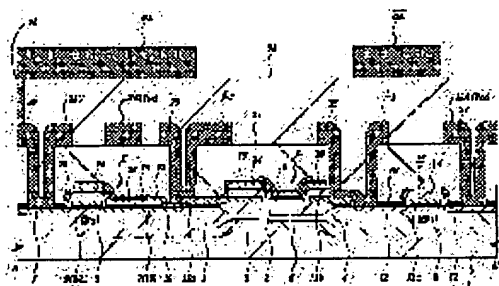
IKEDA SHUJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PROBLEM TO BE SOLVED: To improve the soft error resistance of an SRAM by increasing the storage node capacitance of the memory cell of the SRAM.

SOLUTION: In a complete CMOS type SRAM in which a memory cell is constituted of six pieces of MISFETs, capacitive elements C having stack structures are formed of lower electrodes 16 covering the top of the memory cell, upper electrodes 19, and capacitor insulating films 18 formed between the electrodes 16 and 19 and one electrodes (lower electrodes 16) of the elements C are connected to one storage nodes of flip-flop circuits and the other electrodes (upper electrodes 19) are connected to the other storage nodes of the flip flop circuits.



## LEGAL STATUS

[Date of request for examination] 15.10.2001

[Date of sending the examiner's decision of rejection] 07.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-36252

(43)公開日 平成9年(1997)2月7日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8244			H 0 1 L 27/10	3 8 1
27/11				4 9 1
27/10	4 9 1			

審査請求 未請求 請求項の数20 O L (全 41 頁)

(21)出願番号 特願平7-181513

(22)出願日 平成7年(1995)7月18日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 橋本 直孝  
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 星野 裕  
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 池田 修二  
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

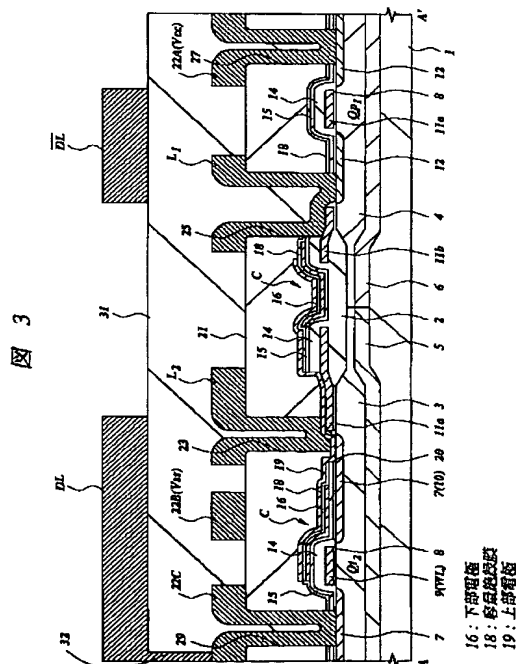
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 SRAMのメモリセルの蓄積ノード容量を増やしてソフトエラー耐性を向上させる。

【構成】 6個のMISFETでメモリセルを構成した完全CMOS型のSRAMにおいて、メモリセルの上部を覆う下部電極16、上部電極19およびこれらに挟まれた容量絶縁膜18でスタック構造の容量素子Cを形成し、この容量素子Cの一方の電極(下部電極16)をフリップフロップ回路の一方の蓄積ノードに接続し、他方の電極(上部電極19)を他方の蓄積ノードに接続する。



## 【特許請求の範囲】

【請求項1】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と、一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置であって、半導体基板の主面上に形成した第1層目の導電膜で前記駆動用MISFET、負荷用MISFETおよび転送用MISFETのそれぞれのゲート電極を構成し、前記第1層目の導電膜の上部に形成した第2層目の導電膜、前記第2層目の導電膜の上部に形成した絶縁膜および前記絶縁膜の上部に形成した第3層目の導電膜で容量素子の一対の電極と容量絶縁膜とを構成し、前記容量素子の一方の電極と前記メモリセルの一方の蓄積ノードとを電気的に接続すると共に、前記容量素子の他方の電極と前記メモリセルの他方の蓄積ノードとを電気的に接続したことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記容量素子の一方の電極と前記一方の蓄積ノードとは、前記第3層目の導電膜の上部に形成された第1層目のメタル膜からなる一対のメタル配線の一方を介在して電気的に接続され、前記容量素子の他方の電極と前記他方の蓄積ノードとは、前記一対のメタル配線の他方を介在して電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置であって、前記容量素子の一方の電極を構成する前記第2層目の導電膜および前記容量素子の他方の電極を構成する前記第3層目の導電膜は、それぞれn型の多結晶シリコン膜であり、前記容量素子の一方の電極は、第1の接続孔を通じて前記一対の駆動用MISFETの一方のドレイン領域と電気的に接続されていると共に、前記第1の接続孔の上部に形成された第2の接続孔を通じて前記一対のメタル配線の一方と電気的に接続され、前記容量素子の他方の電極は、第3の接続孔を通じて前記一対の駆動用MISFETの他方のドレイン領域と電気的に接続されていると共に、前記第3の接続孔の上部に形成された第4の接続孔を通じて前記一対のメタル配線の他方と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項4】 請求項2記載の半導体集積回路装置であって、前記容量素子の一方の電極を構成する前記第2層目の導電膜および前記容量素子の他方の電極を構成する前記第3層目の導電膜は、それぞれn型の多結晶シリコン膜であり、前記容量素子の一方の電極は、前記一対のメタル配線の一方と前記一対の駆動用MISFETの一方のドレイン領域とを電気的に接続する第5の接続孔の側壁において前記一方のメタル配線と電気的に接続され、前記容量素子の他方の電極は、前記一対のメタル配線の他方と前記一対の駆動用MISFETの他方のドレイン領域とを電気的に接続する第6の接続孔の側壁にお

いて前記他方のメタル配線と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項5】 請求項2記載の半導体集積回路装置であって、前記容量素子の一方の電極を構成する前記第2層目の導電膜および前記容量素子の他方の電極を構成する前記第3層目の導電膜は、一方がn型の多結晶シリコン膜、他方がp型の多結晶シリコン膜であり、前記n型の多結晶シリコン膜からなる一方の電極は、第7の接続孔を通じて前記一対の駆動用MISFETの一方のドレイン領域と電気的に接続されていると共に、前記第7の接続孔の上部に形成された第8の接続孔を通じて前記一対のメタル配線の一方と電気的に接続され、前記p型の多結晶シリコン膜からなる他方の電極は、第9の接続孔を通じて前記一対の負荷用MISFETの他方のドレイン領域と電気的に接続されていると共に、前記第9の接続孔の上部に形成された第10の接続孔を通じて前記一対のメタル配線の他方と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項2記載の半導体集積回路装置であって、前記一対の駆動用MISFETのそれぞれのソース領域に基準電圧を供給する基準電圧線、および前記一対の負荷用MISFETのそれぞれのソース領域に電源電圧を供給する電源電圧線が前記第1層目のメタル膜で構成されていることを特徴とする半導体集積回路装置。

【請求項7】 請求項2記載の半導体集積回路装置であって、前記第1層目のメタル膜の上部に形成された第2層目のメタル膜で一対の相補性データ線が構成されており、前記一対の相補性データ線の一方は、前記第1層目のメタル膜で構成された一対のパッド層の一方を介在して前記一対の転送用MISFETの一方のソース領域と電気的に接続され、前記一対の相補性データ線の他方は、前記一対のパッド層の他方を介在して前記一対の転送用MISFETの他方のソース領域と電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項8】 請求項1記載の半導体集積回路装置であって、前記SRAMの周辺回路には、前記第2層目の導電膜、前記第2層目の導電膜の上部に形成した絶縁膜および前記絶縁膜の上部に形成した第3層目の導電膜で一対の電極と容量絶縁膜とを構成した容量素子が形成されていることを特徴とする半導体集積回路装置。

【請求項9】 請求項1記載の半導体集積回路装置であって、前記SRAMの周辺回路を構成するMISFETと前記第3層目の導電膜の上部に形成されたメタル配線とは、前記第2層目の導電膜または前記第3層目の導電膜で構成されたパッド層を介在して電気的に接続されていることを特徴とする半導体集積回路装置。

【請求項10】 請求項1記載の半導体集積回路装置であって、前記容量素子の一方の電極と前記一方の蓄積ノードとは、前記一方の蓄積ノードの上部に形成された第11の接続孔に埋め込まれた導電膜を介在して電気的に

接続され、前記容量素子の他方の電極と前記他方の蓄積ノードとは、前記他方の蓄積ノードの上部に形成された第12の接続孔に埋め込まれた導電膜を介在して電氣的に接続されていることを特徴とする半導体集積回路装置。

【請求項11】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と、一対の転送用MISFETとでメモリセルを構成したSRAMを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面上に堆積した第1層目の導電膜で前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成する工程、(b)前記第1層目の導電膜の上部に堆積した第2層目の導電膜、前記第2層目の導電膜の上部に堆積した絶縁膜および前記絶縁膜の上部に堆積した第3層目の導電膜で容量素子の一対の電極と容量絶縁膜とを形成する工程、(c)前記第3層目の導電膜の上部に堆積した第1層目のメタル膜をパターニングして一対のメタル配線を形成し、前記容量素子の一方の電極と前記メモリセルの一方の蓄積ノードとを前記一対のメタル配線の一方を介在して電氣的に接続すると共に、前記容量素子の他方の電極と前記メモリセルの他方の蓄積ノードとを前記一対のメタル配線の他方を介在して電氣的に接続する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項11記載の半導体集積回路装置の製造方法であって、(a)前記一対の駆動用MISFET、前記一対の負荷用MISFETおよび前記一対の転送用MISFETを形成した後、これらのMISFETの上部に堆積した第1の絶縁膜をエッチングして、前記一対の駆動用MISFETの一方のドレイン領域に達する第1の接続孔を形成する工程、(b)前記第1の絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第2層目の導電膜をパターニングして前記容量素子の一方の電極を形成し、前記第1の接続孔を通じて前記容量素子の一方の電極と前記一方の駆動用MISFETのドレイン領域とを電氣的に接続する工程、(c)前記容量素子の一方の電極の上部に前記容量絶縁膜を堆積した後、前記容量絶縁膜をエッチングし、前記一対の駆動用MISFETの他方のドレイン領域と、前記一方の駆動用MISFET、前記一対の負荷用MISFETの一方に共通のゲート電極とに達する第2の接続孔を形成する工程、(d)前記容量素子の上部に堆積したn型の多結晶シリコン膜からなる前記第3層目の導電膜をパターニングして前記容量素子の他方の電極を形成し、前記第2の接続孔を通じて前記容量素子の他方の電極と、前記他方の駆動用MISFETのドレイン領域と、前記一方の駆動用MISFET、前記一方の負荷用MISFETに共通のゲート電極とを電氣的に接続する工程、(e)前記容量素子の他方の電極の上部に堆積した第1層目の

層間絶縁膜をエッチングして、前記容量素子の一方の電極に達する第3の接続孔、前記容量素子の他方の電極に達する第4の接続孔、前記一方の駆動用MISFETのドレイン領域と、前記一対の負荷用MISFETの他方、前記他方の駆動用MISFETに共通のゲート電極とに達する第5の接続孔、前記他方の負荷用MISFETのドレイン領域に達する第6の接続孔をそれぞれ形成する工程、(f)前記層間絶縁膜の上部に堆積した第1層目のメタル膜をパターニングして、一端が前記第3の接続孔を通じて前記容量素子の一方の電極と電氣的に接続され、他端が前記第5の接続孔を通じて前記一方の駆動用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記他方の駆動用MISFETに共通のゲート電極とにそれぞれ電氣的に接続される第1のメタル配線と、一端が前記第4の接続孔を通じて前記容量素子の他方の電極と電氣的に接続され、他端が前記第6の接続孔を通じて前記他方の負荷用MISFETのドレイン領域と電氣的に接続される第2のメタル配線とを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法であって、前記第1層目のメタル膜をパターニングして、前記一対の駆動用MISFETのそれぞれのソース領域に基準電圧を供給する基準電圧線と、前記一対の負荷用MISFETのそれぞれのソース領域に電源電圧を供給する電源電圧線とを形成する工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項14】 請求項12記載の半導体集積回路装置の製造方法であって、(a)前記第1層目の層間絶縁膜をエッチングして、前記一対の転送用MISFETの一方のソース領域に達する第7の接続孔と、前記一対の転送用MISFETの他方のソース領域に達する第8の接続孔とを形成する工程、(b)前記第1層目のメタル膜をパターニングして、前記第7の接続孔を通じて前記一方の転送用MISFETのソース領域と電氣的に接続される第1のパッド層と、前記第8の接続孔を通じて前記他方の転送用MISFETのソース領域と電氣的に接続される第2のパッド層とを形成する工程、(c)前記第1層目のメタル膜の上部に堆積した第2の層間絶縁膜をエッチングして、前記第1のパッド層に達する第9の接続孔と、前記第2のパッド層に達する第10の接続孔とを形成する工程、(d)前記第2の層間絶縁膜の上部に堆積した第2層目のメタル膜をエッチングして、前記第9の接続孔を通じて前記第1のパッド層と電氣的に接続される相補性データ線の一方と、前記第10の接続孔を通じて前記第2のパッド層と電氣的に接続される相補性データ線の他方とを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項15】 請求項11記載の半導体集積回路装置の製造方法であって、(a)前記一対の駆動用MISF

ET、前記一对の負荷用MISFETおよび前記一对の転送用MISFETを形成した後、これらのMISFETの上部に第1の絶縁膜を堆積し、次いで、前記第1の絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第2層目の導電膜をパターンニングして前記容量素子の一方の電極を形成する工程、(b)前記容量素子の一方の電極の上部に前記容量絶縁膜を堆積した後、前記容量絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第3層目の導電膜をパターンニングして前記容量素子の他方の電極を形成する工程、(c)前記容量素子の他方の電極の上部に堆積した第1層目の層間絶縁膜をエッチングして、前記容量素子の一方の電極を貫通して前記一对の駆動用MISFETの一方のドレイン領域に達する第1の接続孔、前記一对の負荷MISFETの一方のドレイン領域と、前記一对の負荷用MISFETの他方、前記一对の駆動用MISFETの他方に共通のゲート電極とに達する第2の接続孔、前記容量素子の他方の電極を貫通して前記他方の駆動用MISFETのドレイン領域と、前記一方の駆動用MISFET、前記一方の負荷用MISFETに共通のゲート電極とに達する第3の接続孔、前記他方の負荷用MISFETのドレイン領域に達する第4の接続孔をそれぞれ形成する工程、(d)前記層間絶縁膜の上部に堆積した第1層目のメタル膜をパターンニングして、一端が前記第1の接続孔を通じて前記容量素子の一方の電極と、前記一方の駆動用MISFETのドレイン領域とにそれぞれ電気的に接続され、他端が前記第2の接続孔を通じて前記一方の負荷用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記他方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第1のメタル配線と、一端が前記第3の接続孔を通じて前記容量素子の他方の電極と、前記他方の駆動用MISFETのドレイン領域と、前記一方の負荷用MISFET、前記一方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続され、他端が前記第4の接続孔を通じて前記他方の負荷用MISFETのドレイン領域と電気的に接続される第2のメタル配線とを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項16】 請求項11記載の半導体集積回路装置の製造方法であって、(a)前記一对の駆動用MISFET、前記一对の負荷用MISFETおよび前記一对の転送用MISFETを形成した後、これらのMISFETの上部に堆積した第1の絶縁膜をエッチングして、前記一对の負荷用MISFETの他方のドレイン領域に達する第1の接続孔を形成する工程、(b)前記第1の絶縁膜の上部に堆積したp型の多結晶シリコン膜からなる前記第2層目の導電膜をパターンニングして前記容量素子の一方の電極を形成し、前記第1の接続孔を通じて前記容量素子の一方の電極と前記他方の負荷用MISFETのドレイン領域とを電気的に接続する工程、(c)前記

容量素子の一方の電極の上部に前記容量絶縁膜を堆積した後、前記容量絶縁膜をエッチングして、前記一对の駆動用MISFETの一方のドレイン領域に達する第2の接続孔を形成する工程、(d)前記容量絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第3層目の導電膜をパターンニングして前記容量素子の他方の電極を形成し、前記第2の接続孔を通じて前記容量素子の他方の電極と前記一方の駆動用MISFETのドレイン領域とを電気的に接続する工程、(e)前記容量素子の他方の電極の上部に堆積した第1層目の層間絶縁膜をエッチングして、前記容量素子の一方の電極に達する第3の接続孔、前記容量素子の他方の電極に達する第4の接続孔、前記一方の駆動用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記一对の駆動用MISFETの他方に共通のゲート電極とに達する第5の接続孔、前記他方の駆動用MISFETのドレイン領域と、前記一对の負荷用MISFETの一方、前記一方の駆動用MISFETとに達する第6の接続孔をそれぞれ形成する工程、(f)前記層間絶縁膜の上部に堆積した第1層目のメタル膜をパターンニングして、一端が前記第4の接続孔を通じて前記容量素子の他方の電極と電気的に接続され、他端が前記第6の接続孔を通じて前記一方の負荷用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記他方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第1のメタル配線と、一端が前記第3の接続孔を通じて前記容量素子の一方の電極と電気的に接続され、他端が前記第6の接続孔を通じて前記他方の駆動用MISFETのドレイン領域と、前記一方の負荷用MISFET、前記一方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第2のメタル配線とを形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項17】 請求項12～請求項16のいずれか1項に記載の半導体集積回路装置の製造方法であって、前記第1層目の層間絶縁膜をエッチングして、前記一对の駆動用MISFETの一方、前記一对の負荷用MISFETの一方に共通のゲート電極、および前記一对の駆動用MISFETの他方、前記一对の負荷用MISFETの他方に共通のゲート電極とに達する接続孔を形成する工程に先立って、前記それぞれのゲート電極の上部を覆っている絶縁膜の一部の膜厚を薄くする工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、(a)半導体基板の主面上に前記第1層目の導電膜を堆積した後、前記第1層目の導電膜の上部に前記絶縁膜を堆積する工程、(b)第1のフォトリソをマスクにしたエッチングで前記絶縁膜の一部の膜厚を薄くした後、第2のフォトリソをマスクにしたエッチングで前記絶縁膜と前記第1層目の導電膜

とをパターンニングして前記ゲート電極を形成する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項17記載の半導体集積回路装置の製造方法であって、(a)半導体基板の主面上に前記第1層目の導電膜を堆積した後、前記第1層目の導電膜の上部に素子分離用のフィールド絶縁膜とはエッチングレートが異なる絶縁膜を堆積する工程、(b)第1のフォトリソをマスクにしたエッチングで前記絶縁膜と前記第1層目の導電膜とをパターンニングして前記ゲート電極を形成する工程、(c)第2のフォトリソをマスクにしたエッチングで前記絶縁膜の一部の膜厚を薄くする工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項20】 一対の駆動用MISFETおよび一対の負荷用MISFETからなるフリップフロップ回路と、一対の転送用MISFETとでメモリセルを構成したSRAMと、メモリセル選択用MISFETとその上部に形成した情報蓄積用容量素子とでメモリセルを構成したDRAMとを有する半導体集積回路装置の製造方法であって、(a)半導体基板の主面上に堆積した第1層目の導電膜で前記駆動用MISFET、前記負荷用MISFET、前記転送用MISFETおよび前記メモリセル選択用MISFETのそれぞれのゲート電極を形成する工程、(b)前記第1層目の導電膜の上部に堆積した第2層目の導電膜、前記第2層目の導電膜の上部に堆積した絶縁膜および前記絶縁膜の上部に堆積した第3層目の導電膜で前記SRAMのメモリセルの上部に容量素子を形成すると共に、前記DRAMのメモリセル選択用MISFETの上部に前記情報蓄積用容量素子を形成する工程、(c)前記第3層目の導電膜の上部に堆積した第1層目の金属膜をパターンニングして一対の金属配線を形成し、前記SRAMの容量素子の一方の電極と前記SRAMのメモリセルの一方の蓄積ノードとを前記一対の金属配線の一方を介在して電気的に接続すると共に、前記容量素子の他方の電極と前記メモリセルの他方の蓄積ノードとを前記一対の金属配線の他方を介在して電気的に接続する工程、を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、SRAM(Static Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】高抵抗負荷型あるいは完全CMOS型のメモリセルと、相補型MISFET(CMOSFET)で構成された周辺回路とを組み合わせたCMOS SRAMは、従来よりコンピュータやワークステーションの

キャッシュメモリなどに用いられている。

【0003】CMOS SRAMのメモリセルは、1ビット bit の情報を記憶するフリップフロップ回路と2個の転送用MISFET(Metal Insulator Semiconductor Field Effect Transistor)とで構成されている。フリップフロップ回路は、高抵抗負荷型では一対の駆動用MISFETと一対の抵抗素子とで構成され、完全CMOS型では一対の駆動用MISFETと一対の負荷用MISFETとで構成されている。

【0004】近年、この種のSRAMは、大容量化・高速化のためにメモリセルサイズの微細化が要求されると共に、システムの低消費電力化のために動作電圧の低減が要求されている。しかし、これらの要求に対応しようとする際に問題となるのが $\alpha$ 線によるソフトエラー耐性の低下である。

【0005】 $\alpha$ 線によるソフトエラーとは、宇宙線に含まれる $\alpha$ 線(He原子核)やLSIパッケージのレジン材料などに含まれる放射性原子から放出された $\alpha$ 線がメモリセルに入射し、情報蓄積部に保持されている情報を破壊する現象である。

【0006】 $\alpha$ 線粒子は5eVのエネルギーを有し、シリコン(Si)基板中に入射すると電子-正孔対を発生させる。この $\alpha$ 線がメモリセルの“High”電位レベルの蓄積ノードに入射すると、 $\alpha$ 線によって発生した電子が蓄積ノードに流れ、正孔が基板に流れる結果、蓄積ノードの電荷と電位とが瞬間的に減少し、ある確率でメモリセルの情報を反転させてしまう。

【0007】SRAMの場合、上記した $\alpha$ 線によるソフトエラー耐性を向上させるには、メモリセルの蓄積ノード容量を増やすことが有効である。

【0008】特開昭61-128557号公報は、高抵抗負荷型のSRAMに関するものであるが、この公報に開示されたSRAMは、電源電圧(VCC)または基準電圧(VSS)に接続された多結晶シリコンの電極をメモリセルの上部に配置し、この電極と蓄積ノードとこれらに挟まれた絶縁膜とで容量を形成することによって、蓄積ノード容量の増加を図っている。

【0009】特開昭61-283161号公報は、同じく高抵抗負荷型のSRAMに関するものであるが、この公報に開示されたSRAMは、メモリセルの抵抗素子を構成する第1の多結晶シリコン膜の上部に第2の多結晶シリコン膜を配置し、この第2の多結晶シリコン膜と、抵抗素子の両側に形成された第1の多結晶シリコン膜の低抵抗部と、これらに挟まれた絶縁膜とで容量を形成することによって、蓄積ノード容量の増加を図っている。

【0010】特開昭64-25558号公報は、同じく高抵抗負荷型のSRAMに関するものであるが、この公報に開示されたSRAMは、駆動用MISFETのドレイン領域の接合深さを転送用MISFETのそれよりも深く形成すると共に、このドレイン領域の下部に、この

ドレイン領域と異なる導電型の半導体領域を形成し、この半導体領域とドレイン領域とで構成されるpn接合容量を蓄積ノードに供給することによって、蓄積ノード容量の増加を図っている。

【0011】特開平1-166554号公報は、駆動用MISFETの上方に形成した2層の多結晶シリコン膜で負荷用MISFETを構成した、TFT(Thin Film Transistor)方式の完全CMOS型SRAMに関するものであるが、この公報に開示されたSRAMは、一方の負荷用MISFETのゲート電極の一部を他方の負荷用MISFETのソースまたはドレイン領域上にまで延在し、このゲート電極と、ソースまたはドレイン領域と、これらに挟まれた絶縁膜とで容量を形成することによって、蓄積ノード容量の増加を図っている。

【0012】

【発明が解決しようとする課題】このように、高抵抗負荷型SRAMやTFT方式の完全CMOS型SRAMは、従来よりメモリセルの蓄積ノード容量を増やすための対策がなされてきた。

【0013】しかし、完全CMOS型SRAMのなかでも、メモリセルを構成する6個のMISFETをすべて半導体基板内に形成する、いわゆるバルクCMOS方式のSRAMの場合は、蓄積ノード容量を増やすための対策がなされていないかった。

【0014】その理由は、負荷用MISFETを半導体基板内に形成するバルクCMOS方式のSRAMは、負荷用MISFETの面積が比較的大きいことから、電流駆動能力や蓄積ノード容量が大きく、従って、 $\alpha$ 線の入射によって蓄積ノードの電位が変動した場合でも、蓄積ノードに十分な電荷を供給することができたからである。

【0015】しかし、バルクCMOS方式のSRAMにおいても、メモリセルサイズの微細化がさらに進んだ場合には負荷用MISFETの電流駆動能力が低下し、また動作電圧がさらに低下すれば蓄積ノードに蓄えられる電荷量も減少することから、 $\alpha$ 線による蓄積ノードの電位変動を抑制することができなくなり、ソフトエラー耐性が低下する。

【0016】本発明の目的は、バルクCMOS方式を採用するSRAMのソフトエラー耐性を向上させることのできる技術を提供することにある。

【0017】本発明の他の目的は、バルクCMOS方式を採用するSRAMの微細化を促進することのできる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、以下の

通りである。

【0020】本発明の半導体集積回路装置は、メモリセルを構成する一対の駆動用MISFET、一対の負荷用MISFETおよび一対の転送用MISFETのそれぞれのゲート電極を半導体基板の主面上に形成した第1層目の導電膜で構成した完全CMOS型のSRAMにおいて、前記メモリセルの上部に形成した第2層目の導電膜と、前記第2層目の導電膜の上部に形成した絶縁膜と、前記絶縁膜の上部に形成した第3層目の導電膜とで容量素子を構成し、前記第2層目の導電膜と前記メモリセルの一方の蓄積ノードとを電気的に接続すると共に、前記第3層目の導電膜と前記メモリセルの他方の蓄積ノードとを電気的に接続したものである。

【0021】本発明の半導体集積回路装置は、前記容量素子の一方の電極と前記一方の蓄積ノードとが、前記第3層目の導電膜の上部に形成された第1層目のメタル膜からなる一対のメタル配線の一方を介在して電気的に接続され、前記容量素子の他方の電極と前記他方の蓄積ノードとが、前記一対のメタル配線の他方を介在して電気的に接続されたものである。

【0022】本発明の半導体集積回路装置は、前記容量素子の一方の電極を構成する前記第2層目の導電膜および前記容量素子の他方の電極を構成する前記第3層目の導電膜がそれぞれn型の多結晶シリコン膜であり、前記容量素子の一方の電極は、第1の接続孔を通じて前記一対の駆動用MISFETの一方のドレイン領域と電気的に接続されていると共に、前記第1の接続孔の上部に形成された第2の接続孔を通じて前記一対のメタル配線の一方と電気的に接続されており、前記容量素子の他方の電極は、第3の接続孔を通じて前記一対の駆動用MISFETの他方のドレイン領域と電気的に接続されていると共に、前記第3の接続孔の上部に形成された第4の接続孔を通じて前記一対のメタル配線の他方と電気的に接続されているものである。

【0023】本発明の半導体集積回路装置は、前記容量素子の一方の電極を構成する前記第2層目の導電膜および前記容量素子の他方の電極を構成する前記第3層目の導電膜がそれぞれn型の多結晶シリコン膜であり、前記容量素子の一方の電極は、前記一対のメタル配線の一方と前記一対の駆動用MISFETの一方のドレイン領域とを電気的に接続する第5の接続孔の側壁において前記一方のメタル配線と電気的に接続されており、前記容量素子の他方の電極は、前記一対のメタル配線の他方と前記一対の駆動用MISFETの他方のドレイン領域とを電気的に接続する第6の接続孔の側壁において前記他方のメタル配線と電気的に接続されているものである。

【0024】本発明の半導体集積回路装置は、前記容量素子の一方の電極を構成する前記第2層目の導電膜および前記容量素子の他方の電極を構成する前記第3層目の導電膜の一方がn型の多結晶シリコン膜、他方がp型の

多結晶シリコン膜であり、前記n型の多結晶シリコン膜からなる一方の電極は、第7の接続孔を通じて前記一對の駆動用MISFETの一方のドレイン領域と電気的に接続されていると共に、前記第7の接続孔の上部に形成された第8の接続孔を通じて前記一對のメタル配線の一方と電気的に接続されており、前記p型の多結晶シリコン膜からなる他方の電極は、第9の接続孔を通じて前記一對の負荷用MISFETの他方のドレイン領域と電気的に接続されていると共に、前記第9の接続孔の上部に形成された第10の接続孔を通じて前記一對のメタル配線の他方と電気的に接続されているものである。

【0025】本発明の半導体集積回路装置は、前記一對の駆動用MISFETのそれぞれのソース領域に基準電圧を供給する基準電圧線、および前記一對の負荷用MISFETのそれぞれのソース領域に電源電圧を供給する電源電圧線が前記第1層目のメタル膜で構成されているものである。

【0026】本発明の半導体集積回路装置は、前記第1層目のメタル膜の上部に形成された第2層目のメタル膜で一對の相補性データ線が構成されており、前記一對の相補性データ線の一方は、前記第1層目のメタル膜で構成された一對のパッド層の一方を介して前記一對の転送用MISFETの一方のソース領域と電気的に接続され、前記一對の相補性データ線の他方は、前記一對のパッド層の他方を介して前記一對の転送用MISFETの他方のソース領域と電気的に接続されているものである。

【0027】本発明の半導体集積回路装置は、前記SRAMの周辺回路に前記第2層目の導電膜、前記第2層目の導電膜の上部に形成した絶縁膜および前記絶縁膜の上部に形成した第3層目の導電膜からなる容量素子が形成されているものである。

【0028】本発明の半導体集積回路装置は、前記SRAMの周辺回路を構成するMISFETと前記第3層目の導電膜の上部に形成されたメタル配線とが、前記第2層目の導電膜または前記第3層目の導電膜で構成されたパッド層を介して電気的に接続されているものである。

【0029】本発明の半導体集積回路装置の製造方法は、(a)半導体基板の主面上に堆積した第1層目の導電膜で前記駆動用MISFET、前記負荷用MISFETおよび前記転送用MISFETのそれぞれのゲート電極を形成する工程、(b)前記第1層目の導電膜の上部に堆積した第2層目の導電膜、前記第2層目の導電膜の上部に堆積した絶縁膜および前記絶縁膜の上部に堆積した第3層目の導電膜で容量素子の一對の電極と容量絶縁膜とを形成する工程、(c)前記第3層目の導電膜の上部に堆積した第1層目のメタル膜をパターンニングして一對のメタル配線を形成し、前記容量素子の一方の電極と前記メモリセルの一方の蓄積ノードとを前記一對のメタル配線の一方を介して電気的に接続すると共に、前記容量素子の他方の電極と前記メモリセルの他方の蓄積ノードとを前記一對のメタル配線の他方を介して電気的に接続する工程、を含んでいる。

【0030】本発明の半導体集積回路装置の製造方法は、(a)前記一對の駆動用MISFET、前記一對の負荷用MISFETおよび前記一對の転送用MISFETを形成した後、これらのMISFETの上部に堆積した第1の絶縁膜をエッチングして、前記一對の駆動用MISFETの一方のドレイン領域に達する第1の接続孔を形成する工程、(b)前記第1の絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第2層目の導電膜をパターンニングして前記容量素子の一方の電極を形成し、前記第1の接続孔を通じて前記容量素子の一方の電極と前記一方の駆動用MISFETのドレイン領域とを電気的に接続する工程、(c)前記容量素子の一方の電極の上部に前記容量絶縁膜を堆積した後、前記容量絶縁膜をエッチングし、前記一對の駆動用MISFETの他方のドレイン領域と、前記一方の駆動用MISFET、前記一對の負荷用MISFETの一方に共通のゲート電極とに達する第2の接続孔を形成する工程、(d)前記容量素子の上部に堆積したn型の多結晶シリコン膜からなる前記第3層目の導電膜をパターンニングして前記容量素子の他方の電極を形成し、前記第2の接続孔を通じて前記容量素子の他方の電極と、前記他方の駆動用MISFETのドレイン領域と、前記一方の駆動用MISFET、前記一方の負荷用MISFETに共通のゲート電極とを電気的に接続する工程、(e)前記容量素子の他方の電極の上部に堆積した第1層目の層間絶縁膜をエッチングして、前記容量素子の一方の電極に達する第3の接続孔、前記容量素子の他方の電極に達する第4の接続孔、前記一方の駆動用MISFETのドレイン領域と、前記一對の負荷用MISFETの他方、前記他方の駆動用MISFETに共通のゲート電極とに達する第5の接続孔、前記他方の負荷用MISFETのドレイン領域に達する第6の接続孔をそれぞれ形成する工程、(f)前記層間絶縁膜の上部に堆積した第1層目のメタル膜をパターンニングして、一端が前記第3の接続孔を通じて前記容量素子の一方の電極と電気的に接続され、他端が前記第5の接続孔を通じて前記一方の駆動用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記他方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第1のメタル配線と、一端が前記第4の接続孔を通じて前記容量素子の他方の電極と電気的に接続され、他端が前記第6の接続孔を通じて前記他方の負荷用MISFETのドレイン領域と電気的に接続される第2のメタル配線とを形成する工程、を含んでいる。

【0031】本発明の半導体集積回路装置の製造方法は、(a)前記第1層目の層間絶縁膜をエッチングし



て、前記一对の転送用MISFETの一方のソース領域に達する第7の接続孔と、前記一对の転送用MISFETの他方のソース領域に達する第8の接続孔とを形成する工程、(b)前記第1層目のメタル膜をパターニングして、前記第7の接続孔を通じて前記一方の転送用MISFETのソース領域と電気的に接続される第1のパッド層と、前記第8の接続孔を通じて前記他方の転送用MISFETのソース領域と電気的に接続される第2のパッド層とを形成する工程、(c)前記第1層目のメタル膜の上部に堆積した第2の層間絶縁膜をエッチングして、前記第1のパッド層に達する第9の接続孔と、前記第2のパッド層に達する第10の接続孔とを形成する工程、(d)前記第2の層間絶縁膜の上部に堆積した第2層目のメタル膜をエッチングして、前記第9の接続孔を通じて前記第1のパッド層と電気的に接続される相補性データ線の一方と、前記第10の接続孔を通じて前記第2のパッド層と電気的に接続される相補性データ線の他方を形成する工程、を含んでいる。

【0032】本発明の半導体集積回路装置の製造方法は、(a)前記一对の駆動用MISFET、前記一对の負荷用MISFETおよび前記一对の転送用MISFETを形成した後、これらのMISFETの上部に第1の絶縁膜を堆積し、次いで、前記第1の絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第2層目の導電膜をパターニングして前記容量素子の一方の電極を形成する工程、(b)前記容量素子の一方の電極の上部に前記容量絶縁膜を堆積した後、前記容量絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第3層目の導電膜をパターニングして前記容量素子の他方の電極を形成する工程、(c)前記容量素子の他方の電極の上部に堆積した第1層目の層間絶縁膜をエッチングして、前記容量素子の一方の電極を貫通して前記一对の駆動用MISFETの一方のドレイン領域に達する第1の接続孔、前記一对の負荷用MISFETの一方のドレイン領域と、前記一对の負荷用MISFETの他方、前記一对の駆動用MISFETの他方に共通のゲート電極とに達する第2の接続孔、前記容量素子の他方の電極を貫通して前記他方の駆動用MISFETのドレイン領域と、前記一方の駆動用MISFET、前記一方の負荷用MISFETに共通のゲート電極とに達する第3の接続孔、前記他方の負荷用MISFETのドレイン領域に達する第4の接続孔をそれぞれ形成する工程、(d)前記層間絶縁膜の上部に堆積した第1層目のメタル膜をパターニングして、一端が前記第1の接続孔を通じて前記容量素子の一方の電極と、前記一方の駆動用MISFETのドレイン領域とにそれぞれ電気的に接続され、他端が前記第2の接続孔を通じて前記一方の負荷用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記他方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第1のメタル配線と、一端

が前記第3の接続孔を通じて前記容量素子の他方の電極と、前記他方の駆動用MISFETのドレイン領域と、前記一方の負荷用MISFET、前記一方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続され、他端が前記第4の接続孔を通じて前記他方の負荷用MISFETのドレイン領域と電気的に接続される第2のメタル配線とを形成する工程、を含んでいる。

【0033】本発明の半導体集積回路装置の製造方法は、(a)前記一对の駆動用MISFET、前記一对の負荷用MISFETおよび前記一对の転送用MISFETを形成した後、これらのMISFETの上部に堆積した第1の絶縁膜をエッチングして、前記一对の負荷用MISFETの他方のドレイン領域に達する第1の接続孔を形成する工程、(b)前記第1の絶縁膜の上部に堆積したp型の多結晶シリコン膜からなる前記第2層目の導電膜をパターニングして前記容量素子の一方の電極を形成し、前記第1の接続孔を通じて前記容量素子の一方の電極と前記他方の負荷用MISFETのドレイン領域とを電気的に接続する工程、(c)前記容量素子の一方の電極の上部に前記容量絶縁膜を堆積した後、前記容量絶縁膜をエッチングして、前記一对の駆動用MISFETの一方のドレイン領域に達する第2の接続孔を形成する工程、(d)前記容量絶縁膜の上部に堆積したn型の多結晶シリコン膜からなる前記第3層目の導電膜をパターニングして前記容量素子の他方の電極を形成し、前記第2の接続孔を通じて前記容量素子の他方の電極と前記一方の駆動用MISFETのドレイン領域とを電気的に接続する工程、(e)前記容量素子の他方の電極の上部に堆積した第1層目の層間絶縁膜をエッチングして、前記容量素子の一方の電極に達する第3の接続孔、前記容量素子の他方の電極に達する第4の接続孔、前記一方の駆動用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記一对の駆動用MISFETの他方に共通のゲート電極とに達する第5の接続孔、前記他方の駆動用MISFETのドレイン領域と、前記一对の負荷用MISFETの一方、前記一方の駆動用MISFETとに達する第6の接続孔をそれぞれ形成する工程、(f)前記層間絶縁膜の上部に堆積した第1層目のメタル膜をパターニングして、一端が前記第4の接続孔を通じて前記容量素子の他方の電極と電気的に接続され、他端が前記第6の接続孔を通じて前記一方の負荷用MISFETのドレイン領域と、前記他方の負荷用MISFET、前記他方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第1のメタル配線と、一端が前記第3の接続孔を通じて前記容量素子の一方の電極と電気的に接続され、他端が前記第6の接続孔を通じて前記他方の駆動用MISFETのドレイン領域と、前記一方の負荷用MISFET、前記一方の駆動用MISFETに共通のゲート電極とにそれぞれ電気的に接続される第2のメタル配線とを形成する工程、を含んでいる。

る。

【0034】本発明の半導体集積回路装置の製造方法は、前記第1層目の層間絶縁膜をエッチングして、前記一対の駆動用MISFETの一方、前記一対の負荷用MISFETの一方に共通のゲート電極、および前記一対の駆動用MISFETの他方、前記一対の負荷用MISFETの他方に共通のゲート電極とに達する接続孔を形成する工程に先立って、前記それぞれのゲート電極の上部を覆っている絶縁膜の一部の膜厚を薄くする工程を含んでいる。

【0035】

【作用】上記した手段によれば、第2層目の導電膜と第3層目の導電膜とこれらに挟まれた絶縁膜とで構成した容量素子の一方の電極を一方の蓄積ノードに接続し、他方の電極を他方の蓄積ノードに接続することにより、容量素子を通じて蓄積ノードに十分な電荷が供給されるので、メモリセルサイズを微細化したり、動作電圧を低下させたりした場合においても、 $\alpha$ 線による蓄積ノードの電位変動が抑制され、メモリセルのソフトエラー耐性が向上する。

【0036】上記した手段によれば、半導体基板上に堆積した2層の導電膜を使って周辺回路の容量素子を構成することにより、半導体基板に形成した拡散層(p-n接合)などを使った容量素子に比べて素子の占有面積を小さくできるので、周辺回路の面積を縮小してSRAMを高集積化することができる。

【0037】上記した手段によれば、容量素子の電極と同一工程で形成されたパッド層を介在させてMISFETの半導体領域と配線とを接続することにより、フォトレジストをマスクにしたエッチングで半導体領域の上部に接続を形成する際のマスク合わせ余裕を小さくできるので、MISFETの面積を縮小してSRAMを高集積化することができる。

【0038】上記した手段によれば、ゲート電極とに達する接続孔を形成する工程に先立って、ゲート電極の上部を覆っている絶縁膜の一部の膜厚を薄くしておくことにより、短時間のエッチングでゲート電極を露出させることができるので、他の領域のオーバーエッチングが防止され、フィールド絶縁膜などが削られる不具合を防止できる。

【0039】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

【0040】(実施例1)図4は、本実施例のSRAMのメモリセルの等価回路図である。図示のように、このメモリセルは、一対の相補性データ線(データ線DL、データ線/ $\overline{\text{DL}}$ )とワード線WLとの交差部に配置された一対の駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ 、一

対の負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$  および一対の転送用MISFET $Q_{t1}$ 、 $Q_{t2}$  で構成されている。駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$  および転送用MISFET $Q_{t1}$ 、 $Q_{t2}$  はnチャネル型で構成され、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$  はpチャネル型で構成されている。すなわち、このメモリセルは、4個のnチャネル型MISFETと2個のpチャネル型MISFETとを使った完全CMOS型で構成されている。

【0041】上記メモリセルを構成する6個のMISFETのうち、一対の駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$  と一対の負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$  は、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。このフリップフロップ回路の一方の入出力端子(蓄積ノードA)は、転送用MISFET $Q_{t1}$  のソース領域に接続され、他方の入出力端子(蓄積ノードB)は、転送用MISFET $Q_{t2}$  のソース領域に接続されている。

【0042】転送用MISFET $Q_{t1}$  のドレイン領域はデータ線DLに接続され、転送用MISFET $Q_{t2}$  のドレイン領域はデータ線/ $\overline{\text{DL}}$ に接続されている。また、フリップフロップ回路の一端(負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$  の各ソース領域)は電源電圧(Vcc)に接続され、他端(駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$  の各ソース領域)は基準電圧(Vss)に接続されている。電源電圧(Vcc)は例えば3Vであり、基準電圧(Vss)は例えば0V(GND)である。

【0043】本実施例のSRAMの特徴は、上記メモリセル内に以下に詳述するようなスタック構造の容量素子Cを形成し、この容量素子Cの一方の電極をフリップフロップ回路の一方の蓄積ノード(蓄積ノードA)に接続すると共に、他方の電極を他方の蓄積ノード(蓄積ノードB)に接続したことにある。

【0044】次に、上記メモリセルの具体的な構成を図1(メモリセル約9個分を示す平面図)、図2(メモリセル約1個分を示す拡大平面図)、図3(図1、図2のA-A'線に沿った断面図)を用いて説明する。なお、図1および図2には、メモリセルを構成する各導電層とこれらの導電層を接続する接続孔のみを示し、各導電層を分離する絶縁膜の図示は省略する。

【0045】メモリセルを構成する6個のMISFETは、単結晶シリコンからなる半導体基板1の主面のフィールド絶縁膜2で周囲を囲まれた活性領域に形成されている。nチャネル型で構成される駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$  と転送用MISFET $Q_{t1}$ 、 $Q_{t2}$  はp型ウエル3の活性領域に形成され、pチャネル型で構成される負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$  はn型ウエル4の活性領域に形成されている。p型ウエル3の下部の半導体基板1内にはp型埋込み層5が形成され、n型ウエル4の下部の半導体基板1内にはn型埋込み層6が形成されている。

【0046】一対の転送用MISFET  $Q_{t1}$ ,  $Q_{t2}$  は、p型ウエル3の活性領域に形成されたn型半導体領域7（ソース領域、ドレイン領域）と、この活性領域の表面に形成された酸化シリコン膜からなるゲート絶縁膜8と、このゲート絶縁膜8上に形成された第1層目のn型多結晶シリコン膜（または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）からなるゲート電極9とで構成されている。転送用MISFET  $Q_{t1}$ ,  $Q_{t2}$  のゲート電極9は、ワード線WLと一体に構成されている。

【0047】一対の駆動用MISFET  $Q_{d1}$ ,  $Q_{d2}$  は、p型ウエル3の活性領域に形成されたn型半導体領域10（ソース領域、ドレイン領域）と、この活性領域の表面に形成されたゲート絶縁膜8と、このゲート絶縁膜8上に形成された第1層目のn型多結晶シリコン膜（またはポリサイド膜）からなるゲート電極11a, 11bとで構成されている。駆動用MISFET  $Q_{d1}$  のドレイン領域（n型半導体領域10）は、転送用MISFET  $Q_{t1}$  のソース領域（n型半導体領域7）と共通の活性領域に形成され、駆動用MISFET  $Q_{d2}$  のドレイン領域（n型半導体領域10）は、転送用MISFET  $Q_{t2}$  のソース領域（n型半導体領域7）と共通の活性領域に形成されている。

【0048】一対の負荷用MISFET  $Q_{p1}$ ,  $Q_{p2}$  は、n型ウエル4の活性領域に形成されたp型半導体領域12（ソース領域、ドレイン領域）と、この活性領域の表面に形成されたゲート絶縁膜8と、このゲート絶縁膜8上に形成された第1層目のn型多結晶シリコン膜（またはポリサイド膜）からなるゲート電極11a, 11bとで構成されている。負荷用MISFET  $Q_{p1}$  のゲート電極11aは、前記駆動用MISFET  $Q_{d1}$  のゲート電極11aと一体に構成され、負荷用MISFET  $Q_{p2}$  のゲート電極11bは、前記駆動用MISFET  $Q_{d2}$  のゲート電極11bと一体に構成されている。

【0049】上記6個のMISFETで構成されたメモリセルの上部には、酸化シリコン膜からなる絶縁膜14、15を介して容量素子Cの下部電極16が形成されている。この下部電極16は第2層目のn型多結晶シリコン膜からなり、メモリセルの上部を広く覆っている。下部電極16は、接続孔17を通じて駆動用MISFET  $Q_{d1}$  のドレイン領域（n型半導体領域10、蓄積ノードA）に接続されている。

【0050】上記下部電極16の上部には、窒化シリコン膜からなる容量絶縁膜18を介して容量素子Cの上部電極19が形成されている。この上部電極19は第3層目のn型多結晶シリコン膜からなり、メモリセルの上部を広く覆っている。上部電極19は、接続孔20を通じて駆動用MISFET  $Q_{d1}$ 、負荷用MISFET  $Q_{p1}$  に共通のゲート電極11aと、駆動用MISFET  $Q_{d2}$  のドレイン領域（n型半導体領域10、蓄積ノード

B）とに接続されている。

【0051】このように、本実施例のSRAMは、メモリセルの上部を広い面積で覆う下部電極16と上部電極19、およびこれらに挟まれた容量絶縁膜18でスタック構造の容量素子Cを構成し、この容量素子Cの一方の電極（下部電極16）をフリップフロップ回路の一方の蓄積ノードAに接続し、他方の電極（上部電極19）を他方の蓄積ノードBに接続している。

【0052】この構成により、容量素子Cを通じて蓄積ノードA, Bに十分な電荷が供給されるので、メモリセルサイズを微細化したり、動作電圧を低下させたりした場合においても、 $\alpha$ 線による蓄積ノードA, Bの電位変動が抑制され、メモリセルのソフトエラー耐性が向上する。

【0053】上記容量素子Cの上層には、BPSG (Boro Phospho Silicate Glass) 膜からなる第1層目の層間絶縁膜21を介して第1層目のアルミニウム (Al) 合金膜からなる一対の局所配線 $L_1$ ,  $L_2$ 、電源電圧線22A、基準電圧線22Bおよび一対のパッド層22Cが形成されている。

【0054】上記一対の局所配線 $L_1$ ,  $L_2$  の一方 ( $L_2$ ) の一端部は、接続孔23を通じて前記容量素子Cの上部電極19に接続され、さらに前記接続孔20を通じて駆動用MISFET  $Q_{d2}$  のドレイン領域（n型半導体領域10）と、駆動用MISFET  $Q_{d1}$ 、負荷用MISFET  $Q_{p1}$  に共通のゲート電極11aとに接続されている。局所配線 $L_2$  の他端部は、接続孔24を通じて負荷用MISFET  $Q_{p2}$  のドレイン領域（p型半導体領域12）に接続されている。つまり、駆動用MISFET  $Q_{d2}$  のドレイン領域（n型半導体領域10、蓄積ノードB）、負荷用MISFET  $Q_{p2}$  のドレイン領域（p型半導体領域12）、駆動用MISFET  $Q_{d1}$ 、負荷用MISFET  $Q_{p1}$  に共通のゲート電極11aのそれぞれは、局所配線 $L_2$  および上部電極19を介して互いに接続されている。

【0055】また、他方の局所配線 $L_1$  の一端部は、接続孔25を通じて負荷用MISFET  $Q_{p1}$  のドレイン領域（p型半導体領域12）と、駆動用MISFET  $Q_{d2}$ 、負荷用MISFET  $Q_{p2}$  に共通のゲート電極11bとに接続されている。局所配線 $L_1$  の他端部は、接続孔26を通じて前記容量素子Cの下部電極16に接続され、さらに前記接続孔17を通じて駆動用MISFET  $Q_{d1}$  のドレイン領域（n型半導体領域10）に接続されている。つまり、駆動用MISFET  $Q_{d1}$  のドレイン領域（n型半導体領域10、蓄積ノードA）、負荷用MISFET  $Q_{p1}$  のドレイン領域（p型半導体領域12）、駆動用MISFET  $Q_{d2}$ 、負荷用MISFET  $Q_{p2}$  に共通のゲート電極11bのそれぞれは、局所配線 $L_1$  および下部電極16を介して互いに接続されている。

【0056】上記局所配線 $L_1, L_2$ と同層の電源電圧線22A、基準電圧線22Bおよび一対のパッド層22Cのうち、電源電圧線22Aは、接続孔27を通じて負荷用MISFET $Q_{p1}, Q_{p2}$ の各ソース領域(p型半導体領域12)に接続され、これらのソース領域(p型半導体領域12)に電源電圧( $V_{cc}$ )を供給する。基準電圧線22Bは、接続孔28を通じて駆動用MISFET $Q_{d1}, Q_{d2}$ の各ソース領域(n型半導体領域10)に接続され、これらのソース領域(n型半導体領域10)に基準電圧( $V_{ss}$ )を供給する。また、一対のパッド層22Cの一方は、接続孔29を通じて転送用MISFET $Q_{t1}$ のドレイン領域(n型半導体領域7)に接続され、他方は、接続孔29を通じて転送用MISFET $Q_{t2}$ のドレイン領域(n型半導体領域7)に接続されている。

【0057】上記局所配線 $L_1, L_2$ 、電源電圧線22A、基準電圧線22Bおよびパッド層22Cの上層には、酸化シリコン膜からなる第2層目の層間絶縁膜31を介して第2層目のA1合金膜からなる一対の相補性データ線(データ線DL、データ線/DL)が形成されている。データ線DLは、接続孔32を通じてパッド層22Cに接続され、さらに前記接続孔29を通じて転送用MISFET $Q_{t1}$ のドレイン領域(n型半導体領域7)に接続されている。また、データ線/DLは、接続孔32を通じてパッド層22Cに接続され、さらに接続孔29を通じて転送用MISFET $Q_{t2}$ のドレイン領域(n型半導体領域7)に接続されている。

【0058】次に、上記のように構成された本実施例のSRAMのメモセルの製造方法を説明する。なお、メモセルの製造方法を示す各図(図5～図22)のうち、断面図は図1、図2のA-A'線に対応している。また、平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0059】まず、図5に示すように、窒化シリコン膜を熱酸化のマスクに用いた周知のLOCOS法により、p型単結晶シリコンからなる半導体基板1の主面に素子分離用のフィールド絶縁膜2を400nm程度の膜厚で形成する。次に、フォトリソをマスクにしたイオン注入法により、半導体基板1内にp型埋込み層5とn型埋込み層6とを形成した後、p型埋込み層5の上部にp型ウエル3を形成し、n型埋込み層6の上部にn型ウエル4を形成する。次に、p型ウエル3、n型ウエル4のそれぞれの活性領域の表面を熱酸化してゲート絶縁膜8を形成する。図6は、p型ウエル3、n型ウエル4のそれぞれの活性領域(AR)の平面パターン(メモセル約9個分)を示している。

【0060】次に、図7に示すように、転送用MISFET $Q_{t1}, Q_{t2}$ のゲート電極9(ワード線WL)、負荷用MISFET $Q_{p1}$ 、駆動用MISFET $Q_{d1}$ に共通のゲート電極11a、負荷用MISFET $Q_{p2}$ 、

駆動用MISFET $Q_{d2}$ に共通のゲート電極11bをそれぞれ形成する。ゲート電極9(ワード線WL)およびゲート電極11a、11bは、半導体基板1上にCVD法で膜厚100nm程度のn型多結晶シリコン膜(またはポリサイド膜)を堆積し、その上にCVD法で膜厚120nm程度の酸化シリコン膜14を堆積した後、フォトリソをマスクにしたエッチングで酸化シリコン膜14およびn型多結晶シリコン膜(またはポリサイド膜)をパターニングして形成する。図8は、ゲート電極9(ワード線WL)およびゲート電極11a、11bの平面パターン(メモセル約9個分)を示している。

【0061】次に、図9に示すように、半導体基板1上にCVD法で堆積した酸化シリコン膜をRIE(Reactive Ion Etching)法でパターニングすることにより、ゲート電極9(ワード線WL)、ゲート電極11a、11bのそれぞれの側壁にサイドウォールスペーサ13を形成する。次に、フォトリソをマスクにしたイオン注入法でp型ウエル3にリンまたはヒ素(As)を打ち込んでn型半導体領域7(転送用MISFET $Q_{t1}, Q_{t2}$ のソース、ドレイン領域)およびn型半導体領域10(駆動用MISFET $Q_{d1}, Q_{d2}$ のソース、ドレイン領域)を形成し、n型ウエル4にホウ素を打ち込んでp型半導体領域12(負荷用MISFET $Q_{p1}, Q_{p2}$ のソース、ドレイン領域)を形成する。なお、これらのMISFETのソース領域、ドレイン領域は、高不純物濃度の半導体領域と低不純物濃度の半導体領域とで構成されるLDD(Lightly Doped Drain)構造としてもよい。

【0062】次に、図10に示すように、半導体基板1上にCVD法で膜厚50nm程度の酸化シリコン膜15を堆積し、フォトリソをマスクにしてこの酸化シリコン膜15とその下層の絶縁膜(ゲート絶縁膜9と同層の絶縁膜)とをエッチングすることにより、図11に示すように、駆動用MISFET $Q_{d1}$ のドレイン領域(n型半導体領域10)に達する接続孔17を形成する。

【0063】次に、図12、図13に示すように、半導体基板1上にCVD法で膜厚50nm程度のn型多結晶シリコン膜を堆積し、フォトリソをマスクにしたエッチングでこの多結晶シリコン膜をパターニングすることにより、容量素子Cの下部電極16を形成する。この下部電極16は、前記接続孔17を通じて駆動用MISFET $Q_{d1}$ のドレイン領域(n型半導体領域10、蓄積ノードA)に接続される。

【0064】次に、図14、図15に示すように、半導体基板1上にCVD法で膜厚15nm程度の窒化シリコン膜からなる容量絶縁膜18を堆積し、フォトリソをマスクにしてこの容量絶縁膜18とその下層の酸化シリコン膜15、14、絶縁膜(ゲート絶縁膜9と同層の絶縁膜)をエッチングすることにより、負荷用MISFET $Q_{p1}$ 、駆動用MISFET $Q_{d1}$ に共通のゲート電極11aと、駆動用MISFET $Q_{d2}$ のドレイン領域

( $n$ 型半導体領域10)とに達する接続孔20を形成する。

【0065】次に、図16、図17に示すように、半導体基板1上にCVD法で膜厚50nm程度の $n$ 型多結晶シリコン膜を堆積し、フォトリソをマスクにしたエッチングでこの多結晶シリコン膜をパターンニングすることにより、容量素子Cの上部電極19を形成する。この上部電極19は、前記接続孔20を通じて負荷用MISFET $Q_{P1}$ 、駆動用MISFET $Q_{D1}$ に共通のゲート電極11aと、駆動用MISFET $Q_{D2}$ のドレイン領域( $n$ 型半導体領域10、蓄積ノードB)とに接続される。図18のグレイのパターンで示す領域は、下部電極16と上部電極19とが重なり合った領域(本実施例の容量素子Cが形成される領域)を示している。

【0066】次に、図19、図20に示すように、半導体基板1上にCVD法で膜厚500nm程度のBPSG膜からなる層間絶縁膜21を堆積し、その表面をリフローにより平坦化した後、フォトリソをマスクにしてこの層間絶縁膜21とその下層の容量絶縁膜18、酸化シリコン膜15、14、絶縁膜(ゲート絶縁膜9と同層の絶縁膜)をエッチングすることにより、負荷用MISFET $Q_{P2}$ のドレイン領域( $p$ 型半導体領域12)に達する接続孔24、負荷用MISFET $Q_{P2}$ 、駆動用MISFET $Q_{D2}$ に共通のゲート電極11bと負荷用MISFET $Q_{P1}$ のドレイン領域( $p$ 型半導体領域12)とに達する接続孔25、容量素子Cの下部電極16に達する接続孔26、負荷用MISFET $Q_{P1}$ 、 $Q_{P2}$ のソース領域( $p$ 型半導体領域12)に達する接続孔27、駆動用MISFET $Q_{D1}$ 、 $Q_{D2}$ のソース領域( $n$ 型半導体領域10)に達する接続孔28、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のソース領域( $n$ 型半導体領域7)に達する接続孔29をそれぞれ形成する。

【0067】次に、図21、図22に示すように、層間絶縁膜21上にスパッタ法で膜厚300nm程度のA1合金膜を堆積し、フォトリソをマスクにしたエッチングでこのA1合金膜をパターンニングすることにより、局所配線 $L_1$ 、 $L_2$ 、電源電圧線22A、基準電圧線22Bおよびパッド層22Cを形成する。

【0068】次に、CVD法で膜厚500nm程度の酸化シリコン膜からなる層間絶縁膜31を堆積し、フォトリソをマスクにしたエッチングでこの層間絶縁膜31に接続孔32を形成した後、層間絶縁膜31上にスパッタ法でA1合金膜を堆積し、フォトリソをマスクにしたエッチングでこのA1合金膜をパターンニングしてデータ線DL、 $\overline{DL}$ を形成することにより、前記図1～図3に示すメモリセルが完成する。

【0069】図23は、本実施例のSRAMの周辺回路の一部を示す断面図である。この周辺回路は、例えば入出力保護回路であり、前述したメモリセルの容量素子Cとほぼ同一構造の容量素子Cが形成されている。この容

量素子Cの下部電極16は、第2層目の $n$ 型多結晶シリコン膜で構成され、メモリセルの容量素子Cの下部電極16と同一工程で形成される。容量絶縁膜18は、窒化シリコン膜からなり、メモリセルの容量素子Cの容量絶縁膜18と同一工程で形成させる。上部電極19は、第3層目の $n$ 型多結晶シリコン膜で構成され、メモリセルの容量素子Cの上部電極19と同一工程で形成される。

【0070】この容量素子Cの上部電極19は、入出力保護回路の一部を構成する $n$ チャネル型MISFET $Q_n$ の $n$ 型半導体領域33と接続され、かつ層間絶縁膜21に形成された接続孔35を通じて上層の配線22Dと接続されている。配線22Dは、前記メモリセルの局所配線 $L_1$ 、 $L_2$ 、電源電圧線22A、基準電圧線22Bおよびパッド層22Cと同層のA1合金膜からなる。容量素子Cの下部電極16は、層間絶縁膜21に形成された接続孔36を通じて配線22Dと接続され、かつこの配線22Dを介して $n$ 型ウエル4の主面に形成された $p$ 型半導体領域34と接続されている。下部電極16は、 $n$ 型の多結晶シリコン膜で構成されているので、配線22Dを介して間接的に $p$ 型半導体領域34と接続されている。

【0071】このように、半導体基板1上に堆積した2層の多結晶シリコン膜を使って周辺回路の容量素子Cを構成する本実施例によれば、半導体基板に形成した拡散層( $pn$ 接合)などを使った容量素子に比べて素子の占有面積を小さくできるので、周辺回路の面積を縮小してSRAMを高集積化することができる。また、この容量素子Cは、拡散層( $pn$ 接合)などを使った容量素子に比べて容量の大きさを自由に制御できるという特徴もある。

【0072】また、上記 $n$ チャネル型MISFET $Q_n$ のもう一方の $n$ 型半導体領域33は、容量素子Cの上部電極19と同じ第3層目の $n$ 型多結晶シリコン膜で構成されたパッド層38を介して配線22Dと接続されている。パッド層38は、容量素子Cの上部電極19と同一工程で形成される。このパッド層38を介して $n$ 型半導体領域33と配線22Dとを接続することにより、フォトリソをマスクにしたエッチングで $n$ 型半導体領域33の上部に接続孔37を形成する際のマスク合わせ余裕を小さくできるので、 $n$ チャネル型MISFET $Q_n$ の面積を縮小してSRAMを高集積化することができる。なお、パッド層37は、容量素子Cの下部電極16と同じ第2層目の $n$ 型多結晶シリコン膜で構成してもよい。

【0073】(実施例2)本実施例によるSRAMのメモリセルの製造方法を図24～図38を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0074】まず、図24に示すように、 $p$ 型ウエル

3、n型ウエル4のそれぞれの活性領域の主面に転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のゲート電極9（ワード線WL）、負荷用MISFET $Q_{p1}$ 、駆動用MISFET $Q_{d1}$ に共通のゲート電極11a、負荷用MISFET $Q_{p2}$ 、駆動用MISFET $Q_{d2}$ に共通のゲート電極11bをそれぞれ形成する。ここまでの工程は、前記実施例1と同じである。

【0075】次に、本実施例では、図25に示すように、フォトリソをマスクにしてゲート電極11a、11b上の酸化シリコン膜14の一部をエッチングし、その膜厚を薄くする。膜厚を薄くする箇所は、後の工程で局所配線との接続を行うための接続孔が開孔される領域である。

【0076】酸化シリコン膜14の一部の膜厚を薄くするには、第1のフォトリソをマスクにして酸化シリコン膜14および多結晶シリコン膜をパターンニングしてゲート電極9（ワード線WL）およびゲート電極11a、11bを形成した後、第2のフォトリソをマスクにして酸化シリコン膜14の一部をエッチングする方法（第1方法）や、第1層目の多結晶シリコン膜上に酸化シリコン膜14を堆積した後、第1のフォトリソをマスクにして酸化シリコン膜14の一部をエッチングし、次に、第2のフォトリソをマスクにして酸化シリコン膜14および多結晶シリコン膜をパターンニングしてゲート電極9（ワード線WL）およびゲート電極11a、11bを形成する方法（第2方法）がある。

【0077】第1の方法では、ゲート電極形成後、第2のフォトリソをマスクにして酸化シリコン膜14の一部をエッチングする際、このマスクに合わせずれが生じると、ゲート電極端部のフィールド絶縁膜2が削られる虞れがある。これに対し、第2の方法では、酸化シリコン膜14の一部をエッチングするマスクに合わせずれが生じた場合でも、下層の多結晶シリコン膜がエッチングストップとなるのでこのような不具合は生じない。

【0078】第1の方法を採用する場合は、フィールド絶縁膜2とはエッチングレートが異なる材料、例えば窒化シリコン膜を第1層目の多結晶シリコン膜上に堆積し、第1のフォトリソをマスクにしてこの窒化シリコン膜および多結晶シリコン膜をパターンニングしてゲート電極を形成した後、第2のフォトリソをマスクにして窒化シリコン膜の一部をエッチングすることにより、フィールド絶縁膜2の削れを防ぐことができる。あるいは、ゲート電極の側壁にサイドウォールスペーサ（13）を形成した後、ゲート電極上の絶縁膜の一部をエッチングすることによっても、ゲート電極端部のフィールド絶縁膜2の削れを防ぐことができる。

【0079】次に、図26に示すように、ゲート電極9（ワード線WL）、ゲート電極11a、11bのそれぞれの側壁にサイドウォールスペーサ13を形成した後、フォトリソをマスクにしたイオン注入法でp型ウエ

ル3にn型半導体領域7（転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のソース、ドレイン領域）およびn型半導体領域10（駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のソース、ドレイン領域）を形成し、n型ウエル4にp型半導体領域12（負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のソース、ドレイン領域）を形成する。

【0080】次に、図27に示すように、半導体基板1上にCVD法で窒化シリコン膜40を堆積した後、図28、図29に示すように、CVD法で堆積したn型多結晶シリコン膜をパターンニングして容量素子Cの下部電極41を形成する。前記実施例1では、下部電極41を形成する工程に先だって、駆動用MISFET $Q_{d1}$ のドレイン領域（n型半導体領域10）に達する接続孔（17）を形成したが、本実施例では、この工程を省略する。

【0081】次に、図30、図31に示すように、CVD法で窒化シリコン膜からなる容量絶縁膜18を堆積し、続いてCVD法で堆積したn型多結晶シリコン膜をパターンニングして容量素子Cの上部電極42を形成する。すなわち、前記実施例1では、容量絶縁膜18を堆積した直後に負荷用MISFET $Q_{p1}$ 、駆動用MISFET $Q_{d1}$ に共通のゲート電極11aと、駆動用MISFET $Q_{d2}$ のドレイン領域（n型半導体領域10）とに達する接続孔（20）を形成するのに対し、本実施例では、この工程を省略し、容量絶縁膜18の堆積と上部電極42用の多結晶シリコン膜の堆積とを連続して行う。図32のグレイのパターンで示す領域は、下部電極41と上部電極42とが重なり合った領域（本実施例の容量素子Cが形成される領域）を示している。

【0082】次に、図33～図35に示すように、CVD法でBPSG膜からなる層間絶縁膜21を堆積し、その表面をリフローにより平坦化した後、フォトリソをマスクにして層間絶縁膜21をエッチングする。このとき、層間絶縁膜21の下層の容量絶縁膜18（窒化シリコン膜）または上部電極42（多結晶シリコン膜）をエッチングストップにして、層間絶縁膜21のみをエッチングする。

【0083】次に、層間絶縁膜21の下層の容量絶縁膜18または上部電極42、さらにその下層の下部電極41、窒化シリコン膜40、酸化シリコン膜14、絶縁膜（ゲート絶縁膜9と同層の絶縁膜）をエッチングし、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のソース領域（p型半導体領域12）に達する接続孔27、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のソース領域（n型半導体領域10）に達する接続孔28、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のソース領域（n型半導体領域7）に達する接続孔29、負荷用MISFET $Q_{p1}$ 、駆動用MISFET $Q_{d1}$ に共通のゲート電極11aと駆動用MISFET $Q_{d2}$ のドレイン領域（n型半導体領域10）とに達する接続孔43、負荷用MISFET $Q_{p2}$ 、駆動用MISFET

Qd<sub>2</sub> に共通のゲート電極11bと負荷用MISFET Qp<sub>1</sub> のドレイン領域(p型半導体領域12)とに達する接続孔44、駆動用MISFET Qd<sub>1</sub> のドレイン領域(n型半導体領域10)に達する接続孔45、負荷用MISFET Qp<sub>2</sub> のドレイン領域(p型半導体領域12)に達する接続孔46をそれぞれ形成する。

【0084】上記接続孔43は、上部電極42の一部を貫通してゲート電極11aとドレイン領域(n型半導体領域10)とに達しているので、図34に示すように、この接続孔43の側壁に上部電極42の一部が露出する。また、同図には示していないが、接続孔45は、下部電極41の一部を貫通してドレイン領域(n型半導体領域10)に達しているので、この接続孔45の側壁には下部電極41の一部が露出する。

【0085】また、上記接続孔43の底部にはゲート電極11aの一部が露出し、接続孔44の底部にはゲート電極11bの一部が露出するが、前述したように、この領域のゲート電極11a、11b上の酸化シリコン膜14は、あらかじめその膜厚を薄くしてあるので、短時間のエッチングでゲート電極11a、11bを露出させることができる。これに対し、接続孔43、44の底部の酸化シリコン膜14の膜厚を薄くしなかった場合は、酸化シリコン膜14を長時間エッチングしなければならないので、レジストマスクに合わせずれが生じたときに、ゲート電極11a、11bの端部のフィールド絶縁膜2がオーバーエッチングされて削られる虞れがある。

【0086】次に、図36、図37に示すように、層間絶縁膜21上にスパッタ法で堆積したA1合金膜をパターニングすることにより、局所配線L<sub>1</sub>、L<sub>2</sub>、電源電圧線22A、基準電圧線22Bおよびパッド層22Cを形成する。

【0087】これにより、一方の局所配線L<sub>2</sub>の一端部は、接続孔43の側壁で容量素子Cの上部電極42に接続され、さらにこの接続孔43の底部で駆動用MISFET Qd<sub>2</sub> のドレイン領域(n型半導体領域10)と、駆動用MISFET Qd<sub>1</sub>、負荷用MISFET Qp<sub>1</sub> に共通のゲート電極11aとに接続される。局所配線L<sub>2</sub>の他端部は、接続孔46を通じて負荷用MISFET Qp<sub>2</sub> のドレイン領域(p型半導体領域12)に接続される。つまり、駆動用MISFET Qd<sub>2</sub> のドレイン領域(n型半導体領域10、蓄積ノードB)、負荷用MISFET Qp<sub>2</sub> のドレイン領域(p型半導体領域12)、駆動用MISFET Qd<sub>1</sub>、負荷用MISFET Qp<sub>1</sub> に共通のゲート電極11aのそれぞれは、局所配線L<sub>2</sub> および上部電極42を介して互いに接続される。

【0088】また、他方の局所配線L<sub>1</sub>の一端部は、接続孔45の側壁で容量素子Cの下部電極41に接続され、さらにこの接続孔45の底部で駆動用MISFET Qd<sub>1</sub>のドレイン領域(n型半導体領域10)に接続される。局所配線L<sub>1</sub>の他端部は、接続孔44を通じて負

荷用MISFET Qp<sub>1</sub> のドレイン領域(p型半導体領域12)と、駆動用MISFET Qd<sub>2</sub>、負荷用MISFET Qp<sub>2</sub> に共通のゲート電極11bとに接続される。つまり、駆動用MISFET Qd<sub>1</sub> のドレイン領域(n型半導体領域10、蓄積ノードA)、負荷用MISFET Qp<sub>1</sub> のドレイン領域(p型半導体領域12)、駆動用MISFET Qd<sub>2</sub>、負荷用MISFET Qp<sub>2</sub> に共通のゲート電極11bのそれぞれは、局所配線L<sub>1</sub> および下部電極41を介して互いに接続される。

【0089】また、電源電圧線22Aは、接続孔27を通じて負荷用MISFET Qp<sub>1</sub>、Qp<sub>2</sub>の各ソース領域(p型半導体領域12)に接続され、基準電圧線22Bは、接続孔28を通じて駆動用MISFET Qd<sub>1</sub>、Qd<sub>2</sub>の各ソース領域(n型半導体領域10)に接続される。さらに、一対のパッド層22Cの一方は、接続孔29を通じて転送用MISFET Qt<sub>1</sub>のドレイン領域(n型半導体領域7)に接続され、他方は、接続孔29を通じて転送用MISFET Qt<sub>2</sub>のドレイン領域(n型半導体領域7)に接続される。

【0090】その後、図38に示すように、CVD法で堆積した酸化シリコン膜からなる層間絶縁膜31に接続孔32を形成した後、層間絶縁膜31上にスパッタ法で堆積したA1合金膜をパターニングしてデータ線DL、DLを形成し、接続孔32を通じてデータ線DL、DLとパッド層22Cとを接続する。

【0091】このように、本実施例の製造方法は、容量素子Cの下部電極41を形成する工程に先だって駆動用MISFET Qd<sub>1</sub>のドレイン領域(n型半導体領域10)に達する接続孔を形成する工程と、容量絶縁膜18を堆積した後、上部電極42を形成する工程に先だって負荷用MISFET Qp<sub>1</sub>、駆動用MISFET Qd<sub>1</sub>に共通のゲート電極11aと、駆動用MISFET Qd<sub>2</sub>のドレイン領域(n型半導体領域10)とに達する接続孔を形成する工程とを省略する。これにより、フォトレジストをマスクにしたエッチング工程が2工程少なくなるので、その分、メモリセルの製造工程を短縮することができる。

【0092】なお、上記した2つの接続孔形成工程は、いずれか一方のみを省略することもできる。例えば容量素子Cの下部電極41を形成する工程では接続孔を形成し、上部電極42を形成する工程では接続孔を形成しないようにすると、DRAM(Dynamic Random Access Memory)のメモリセル選択用MISFETの上部にスタック構造の情報蓄積用容量素子(キャパシタ)を形成するプロセスと、本発明の容量素子Cを形成するプロセスとを共通化することができるので、一つの半導体チップにDRAMとSRAMとを混在させた1チップマイコンの製造工程を短縮することができる。

【0093】また、本実施例の製造方法は、容量絶縁膜18の堆積と第3層目の多結晶シリコン膜の堆積とを連



続して行う。これにより、容量絶縁膜18の表面の汚染を少なくすることができるので、高品質の容量素子Cを形成することができる。

【0094】また、本実施例の製造方法は、絶縁膜をエッチングしてゲート電極11aに達する接続孔43とゲート電極11bに達する接続孔44とを形成する工程に先立って、ゲート電極11a、11b上の絶縁膜（酸化シリコン膜14）の膜厚を薄くしておく。これにより、接続孔43、44を形成する際に用いるレジストマスクの合わせずれによるフィールド絶縁膜2の削れを抑えることができるので、SRAMの製造歩留まり、信頼性を向上させることができる。またこれにより、接続孔43、44とゲート電極11a、11bとドレイン領域（n型半導体領域10）との合わせ余裕が不要となるので、メモリセルの面積を縮小してSRAMの高集積化を図ることができる。

【0095】図39に示すように、本実施例のSRAMの周辺回路、例えば入出力保護回路には、前述したメモリセルの容量素子Cとほぼ同一構造の容量素子Cが形成される。この容量素子Cの下部電極41は、第2層目のn型多結晶シリコン膜で構成され、メモリセルの容量素子Cの下部電極41と同一工程で形成される。容量絶縁膜18は、窒化シリコン膜で構成され、メモリセルの容量素子Cの容量絶縁膜18と同一工程で形成される。上部電極42は、第3層目のn型多結晶シリコン膜で構成され、メモリセルの容量素子Cの上部電極42と同一工程で形成される。

【0096】この容量素子Cの下部電極41は、層間絶縁膜21に形成された接続孔36の側壁で配線22Dと接続され、かつこの配線22Dを通じてn型ウエル4のp型半導体領域34と接続されている。上部電極42は、層間絶縁膜21に形成された接続孔35の側壁で配線22Dと接続され、かつこの配線22Dを通じてnチャネル型MISFETQnのn型半導体領域33と接続されている。また、nチャネル型MISFETQnのもう一方のn型半導体領域33は、容量素子Cの上部電極42と同じ第3層目のn型多結晶シリコン膜で構成されたパッド層38を介して配線22Dと接続されている。パッド層38は、容量素子Cの下部電極41と同じ第2層目のn型多結晶シリコン膜で構成してもよい。

【0097】（実施例3）本実施例によるSRAMのメモリセルの製造方法を図40～図52を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0098】まず、図40に示すように、第1層目のn型多結晶シリコン膜をパターニングして、p型ウエル3、n型ウエル4のそれぞれの活性領域の主面に転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のゲート電極9（ワード線WL）、負荷用MISFETQp<sub>1</sub>、駆動用MISFET

Qd<sub>1</sub>に共通のゲート電極11a、負荷用MISFETQp<sub>2</sub>、駆動用MISFETQd<sub>2</sub>に共通のゲート電極11bをそれぞれ形成する。次に、後の工程で局所配線との接続を行うための接続孔が配置される領域のゲート電極11a、11bの上部を覆う酸化シリコン膜14をエッチングしてその膜厚を薄くする。

【0099】次に、ゲート電極9（ワード線WL）、ゲート電極11a、11bのそれぞれの側壁にサイドウォールスペーサ13を形成した後、p型ウエル3にn型半導体領域7（転送用MISFETQt<sub>1</sub>、Qt<sub>2</sub>のソース、ドレイン領域）およびn型半導体領域10（駆動用MISFETQd<sub>1</sub>、Qd<sub>2</sub>のソース、ドレイン領域）を形成し、n型ウエル4にp型半導体領域12（負荷用MISFETQp<sub>1</sub>、Qp<sub>2</sub>のソース、ドレイン領域）を形成する。ここまでの工程は、前記実施例2と同じである。

【0100】次に、本実施例では、図41に示すように、半導体基板1上にCVD法で窒化シリコン膜40を堆積した後、図42に示すように、この窒化シリコン膜40とその下層の絶縁膜（ゲート絶縁膜9と同層の絶縁膜）とをエッチングし、負荷用MISFETQp<sub>1</sub>のドレイン領域（p型半導体領域12）に達する接続孔50を形成する。

【0101】次に、図43、図44に示すように、CVD法で堆積した多結晶シリコン膜をパターニングして容量素子Cの下部電極51を形成する。このとき、本実施例では、下部電極51をp型の多結晶シリコン膜で構成し、前記接続孔50を通じて負荷用MISFETQp<sub>1</sub>のドレイン領域（p型半導体領域12）とダイレクトに接続する。

【0102】次に、図45、図46に示すように、CVD法で堆積した窒化シリコン膜からなる容量絶縁膜18とその下層の絶縁膜（ゲート絶縁膜9と同層の絶縁膜）とをエッチングして、駆動用MISFETQd<sub>1</sub>のドレイン領域（n型半導体領域10）に達する接続孔52を形成した後、CVD法で堆積したn型の多結晶シリコン膜をパターニングして容量素子Cの上部電極53を形成する。この上部電極53は、上記接続孔52を通じて駆動用MISFETQd<sub>1</sub>のドレイン領域（n型半導体領域10）に接続される。図47のグレイのパターンで示す領域は、下部電極51と上部電極53とが重なり合った領域（本実施例の容量素子Cが形成される領域）を示している。

【0103】次に、図48、図49に示すように、CVD法でBPSG膜からなる層間絶縁膜21を堆積し、その表面をリフローにより平坦化した後、フォトリソをマスクにして、まず層間絶縁膜21をエッチングし、引き続き、層間絶縁膜21の下層の容量絶縁膜18、上部電極52または下部電極51、さらにその下層の窒化シリコン膜40、酸化シリコン膜14、絶縁膜（ゲート



絶縁膜9と同層の絶縁膜)をエッチングすることにより、負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ のソース領域(p型半導体領域12)に達する接続孔27、駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ のソース領域(n型半導体領域10)に達する接続孔28、転送用MISFET $Q_{t1}$ 、 $Q_{t2}$ のソース領域(n型半導体領域7)に達する接続孔29、負荷用MISFET $Q_{p1}$ 、駆動用MISFET $Q_{d1}$ に共通のゲート電極11aと駆動用MISFET $Q_{d2}$ のドレイン領域(n型半導体領域10)とに達する接続孔54、負荷用MISFET $Q_{p2}$ 、駆動用MISFET $Q_{d2}$ に共通のゲート電極11bと負荷用MISFET $Q_{p1}$ のドレイン領域(p型半導体領域12)とに達する接続孔55、駆動用MISFET $Q_{d1}$ のドレイン領域(n型半導体領域10)の上部において上部電極53に達する接続孔57、負荷用MISFET $Q_{p2}$ のドレイン領域(p型半導体領域12)の上部において下部電極51に達する接続孔58をそれぞれ形成する。

【0104】上記接続孔54を形成する際には、その底部にゲート電極11aの一部が露出し、接続孔55を形成する際には、その底部にゲート電極11bの一部が露出するが、前述したように、この領域のゲート電極11a、11b上の酸化シリコン膜14は、あらかじめその膜厚を薄くしてあるので、接続孔54、55を形成する際に用いるレジストマスクの合わせずれによるフィールド絶縁膜2の削れを抑えることができ、これにより、前記実施例2と同様の効果が得られる。

【0105】次に、図50、図51に示すように、層間絶縁膜21上にスパッタ法で堆積したA1合金膜をパターニングすることにより、局所配線 $L_1$ 、 $L_2$ 、電源電圧線22A、基準電圧線22Bおよびパッド層22Cを形成する。

【0106】これにより、一方の局所配線 $L_2$ の一端部は、接続孔54を通じて駆動用MISFET $Q_{d1}$ 、負荷用MISFET $Q_{p1}$ に共通のゲート電極11aと、駆動用MISFET $Q_{d2}$ のドレイン領域(n型半導体領域10、蓄積ノードB)とに接続され、局所配線 $L_2$ の他端部は、接続孔58を通じて下部電極51に接続され、さらに接続孔50を通じて負荷用MISFET $Q_{p2}$ のドレイン領域(p型半導体領域12)に接続される。つまり、駆動用MISFET $Q_{d2}$ のドレイン領域(n型半導体領域10、蓄積ノードB)、負荷用MISFET $Q_{p2}$ のドレイン領域(p型半導体領域12)、駆動用MISFET $Q_{d1}$ 、負荷用MISFET $Q_{p1}$ に共通のゲート電極11aのそれぞれは、局所配線 $L_2$ および下部電極51を介して互いに接続される。

【0107】また、他方の局所配線 $L_1$ の一端部は、接続孔55を通じて駆動用MISFET $Q_{d2}$ 、負荷用MISFET $Q_{p2}$ に共通のゲート電極11bと、負荷用MISFET $Q_{p1}$ のドレイン領域(p型半導体領域1

2)とに接続され、局所配線 $L_1$ の他端部は、接続孔57を通じて上部電極53に接続され、さらに接続孔52を通じて駆動用MISFET $Q_{d1}$ のドレイン領域(n型半導体領域10、蓄積ノードA)に接続される。つまり、駆動用MISFET $Q_{d1}$ のドレイン領域(n型半導体領域10、蓄積ノードA)、負荷用MISFET $Q_{p1}$ のドレイン領域(p型半導体領域12)、駆動用MISFET $Q_{d2}$ 、負荷用MISFET $Q_{p2}$ に共通のゲート電極11bのそれぞれは、局所配線 $L_1$ および上部電極53を介して互いに接続される。

【0108】また、電源電圧線22Aは、接続孔27を通じて負荷用MISFET $Q_{p1}$ 、 $Q_{p2}$ の各ソース領域(p型半導体領域12)に接続され、基準電圧線22Bは、接続孔28を通じて駆動用MISFET $Q_{d1}$ 、 $Q_{d2}$ の各ソース領域(n型半導体領域10)に接続される。さらに、一対のパッド層22Cの一方は、接続孔29を通じて転送用MISFET $Q_{t1}$ のドレイン領域(n型半導体領域7)に接続され、他方は、接続孔29を通じて転送用MISFET $Q_{t2}$ のドレイン領域(n型半導体領域7)に接続される。

【0109】その後、図52に示すように、CVD法で堆積した酸化シリコン膜からなる層間絶縁膜31に接続孔32を形成した後、層間絶縁膜31上にスパッタ法で堆積したA1合金膜をパターニングしてデータ線DL、/DLを形成し、接続孔32を通じてデータ線DL、/DLとパッド層22Cとを接続する。

【0110】図53に示すように、本実施例のSRAMの周辺回路、例えば入出力保護回路には、前述したメモリセルの容量素子Cとほぼ同一構造の容量素子Cが形成される。この容量素子Cの下部電極51は、第2層目のp型多結晶シリコン膜で構成され、メモリセルの容量素子Cの下部電極51と同一工程で形成される。容量絶縁膜18は、窒化シリコン膜からなり、メモリセルの容量素子Cの容量絶縁膜18と同一工程で形成される。上部電極53は、第3層目のn型多結晶シリコン膜で構成され、メモリセルの容量素子Cの上部電極53と同一工程で形成される。

【0111】この容量素子Cの下部電極51は、n型ウェル4のp型半導体領域34と接続され、かつ層間絶縁膜21に形成された接続孔36を通じて配線22Dと接続されている。上部電極53は、nチャネル型MISFET $Q_n$ のn型半導体領域33と接続され、かつ層間絶縁膜21に形成された接続孔35を通じて配線22Dと接続されている。また、nチャネル型MISFET $Q_n$ のもう一方のn型半導体領域33は、容量素子Cの上部電極53と同じ第3層目のn型多結晶シリコン膜で構成されたパッド層38を介して配線22Dと接続されている。本実施例では第2層目の多結晶シリコン膜をp型で構成しているため、このp型多結晶シリコン膜で構成されたパッド層を介して(図示しない)周辺回路のpチャ

ネル型MISFETのp型半導体領域と配線とを接続させることができる。

【0112】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0113】(実施例4)本実施例によるSRAMのメモリセルの製造方法を図54～図64を用いて説明する。なお、メモリセルの製造方法を示す各図のうち、平面図には導電層と接続孔のみを示し、絶縁膜の図示は省略する。

【0114】まず、図54に示すように、前記実施例2と同一の工程に従って駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub>、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub> および転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub> を形成し、その上部に窒化シリコン膜40を堆積する。

【0115】すなわち、p型ウエル3、n型ウエル4のそれぞれの活性領域の主面に転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub> のゲート電極9(ワード線WL)、負荷用MISFETQ<sub>p1</sub>、駆動用MISFETQ<sub>d1</sub> に共通のゲート電極11a、負荷用MISFETQ<sub>p2</sub>、駆動用MISFETQ<sub>d2</sub> に共通のゲート電極11bをそれぞれ形成した後、フォトリソをマスクにしてゲート電極11a、11b上の酸化シリコン膜14の一部をエッチングし、その膜厚を薄くする。続いて、ゲート電極9(ワード線WL)、ゲート電極11a、11bのそれぞれの側壁にサイドウォールスペーサ13を形成した後、フォトリソをマスクにしたイオン注入法でp型ウエル3にn型半導体領域7(転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub> のソース、ドレイン領域)およびn型半導体領域10(駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub> のソース、ドレイン領域)を形成し、n型ウエル4にp型半導体領域12(負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub> のソース、ドレイン領域)を形成する。その後、半導体基板1上にCVD法で窒化シリコン膜40を堆積する。

【0116】次に、図55、図56に示すように、窒化シリコン膜40の上部にCVD法で堆積したn型多結晶シリコン膜をパターニングして容量素子Cの下部電極61を形成する。この下部電極61は、前記実施例2の下部電極41とはパターンが異なっており、図56に示すように、その一部が駆動用MISFETQ<sub>d1</sub> のドレイン領域(n型半導体領域10)、負荷用MISFETQ<sub>p1</sub> のドレイン領域(p型半導体領域12)のそれぞれの上を覆っている。

【0117】次に、図57、図58に示すように、窒化シリコン膜からなる容量絶縁膜18をCVD法で堆積した後、この容量絶縁膜18上にCVD法で堆積したn型多結晶シリコン膜をパターニングして容量素子Cの上部電極62を形成する。この上部電極62は、前記実施例2の上部電極42とはパターンが異なっており、図58

に示すように、その一部が駆動用MISFETQ<sub>d2</sub> のドレイン領域(n型半導体領域10)、負荷用MISFETQ<sub>p2</sub> のドレイン領域(p型半導体領域12)のそれぞれの上を覆っている。図59のグレイのパターンで示す領域は、下部電極61と上部電極62とが重なり合った領域(本実施例の容量素子Cが形成される領域)を示している。

【0118】次に、図60、図61に示すように、BPSG膜からなる層間絶縁膜21をCVD法で堆積し、その表面をリフローにより平坦化した後、フォトリソをマスクにして、まず層間絶縁膜21をエッチングし、続いて層間絶縁膜21の下層の上部電極62、容量絶縁膜18、下部電極61、窒化シリコン膜40、酸化シリコン膜14、絶縁膜(ゲート絶縁膜9と同層の絶縁膜)をエッチングすることにより、負荷用MISFETQ<sub>p1</sub>、Q<sub>p2</sub> のソース領域(p型半導体領域12)に達する接続孔27、駆動用MISFETQ<sub>d1</sub>、Q<sub>d2</sub> のソース領域(n型半導体領域10)に達する接続孔28、転送用MISFETQ<sub>t1</sub>、Q<sub>t2</sub> のソース領域(n型半導体領域7)に達する接続孔29、負荷用MISFETQ<sub>p1</sub>、駆動用MISFETQ<sub>d1</sub> に共通のゲート電極11aと駆動用MISFETQ<sub>d2</sub> のドレイン領域(n型半導体領域10)とに達する接続孔63、負荷用MISFETQ<sub>p2</sub>、駆動用MISFETQ<sub>d2</sub> に共通のゲート電極11bと負荷用MISFETQ<sub>p1</sub> のドレイン領域(p型半導体領域12)とに達する接続孔64、駆動用MISFETQ<sub>d1</sub> のドレイン領域(n型半導体領域10)に達する接続孔65、負荷用MISFETQ<sub>p2</sub> のドレイン領域(p型半導体領域12)に達する接続孔66をそれぞれ形成する。

【0119】上記接続孔63は、上部電極62の一部を貫通してゲート電極11aとドレイン領域(n型半導体領域10)とに達しているため、図60に示すように、この接続孔63の側壁に上部電極62の一部が露出する。また、同図には示していないが、接続孔66も上部電極62の一部を貫通してドレイン領域(n型半導体領域12)に達しているため、この接続孔63の側壁に上部電極62の一部が露出する。また、接続孔64は、下部電極61の一部を貫通してゲート電極11bとドレイン領域(n型半導体領域12)とに達しているため、図60に示すように、この接続孔64の側壁に下部電極61の一部が露出する。また、同図には示していないが、接続孔65も下部電極61の一部を貫通してドレイン領域(n型半導体領域10)に達しているため、この接続孔65の側壁に下部電極61の一部が露出する。

【0120】なお、上記接続孔63の底部にはゲート電極11aの一部が露出し、接続孔64の底部にはゲート電極11bの一部が露出するが、前述したように、この領域のゲート電極11a、11b上の酸化シリコン膜14は、あらかじめその膜厚を薄くしてあるので、短時間

のエッチングでゲート電極11a, 11bを露出させることができ、前記実施例2と同様の効果が得られる。

【0121】次に、図62に示すように、層間絶縁膜21上にスパッタ法あるいはCVD法で堆積したタングステン(W)膜をエッチバックすることにより、前記接続孔63～66の内部にW膜67を埋め込む。

【0122】前述したように、接続孔63の側壁と接続孔66の側壁にはそれぞれ上部電極62の一部が露出しているので、駆動用MISFETQd<sub>2</sub>のドレイン領域(n型半導体領域10、蓄積ノードB)、負荷用MISFETQp<sub>2</sub>のドレイン領域(p型半導体領域12)、駆動用MISFETQd<sub>1</sub>、負荷用MISFETQp<sub>1</sub>に共通のゲート電極11aのそれぞれは、接続孔63、66に埋め込まれたW膜67および上部電極62を介して互いに接続される。

【0123】また、接続孔64の側壁と接続孔65の側壁にはそれぞれ下部電極61の一部が露出しているので、駆動用MISFETQd<sub>1</sub>のドレイン領域(n型半導体領域10、蓄積ノードA)、負荷用MISFETQp<sub>1</sub>のドレイン領域(p型半導体領域12)、駆動用MISFETQd<sub>2</sub>、負荷用MISFETQp<sub>2</sub>に共通のゲート電極11bのそれぞれは、接続孔64、65に埋め込まれたW膜67および下部電極61を介して互いに接続される。

【0124】このように、前記各実施例1～3では、層間絶縁膜21上にスパッタ法で堆積したA1合金膜を使って局所配線(L<sub>1</sub>, L<sub>2</sub>)を形成したのに対し、本実施例では、接続孔63～66の内部に埋め込んだW膜67と容量素子Cの上部電極62および下部電極61を局所配線として利用する。これにより、図63に示すように、層間絶縁膜21上に堆積したA1合金膜で電源電圧線22A、基準電圧線22Bおよびパッド層22Cを形成する際、前記各実施例1～3で局所配線を配置した領域に他の配線(例えば基準電圧線や電源電圧線を強化するための配線、分割ワード線など)を配置することが可能となるので、メモリセルの動作信頼性や配線設計の自由度が向上する。

【0125】その後、図64に示すように、CVD法で堆積した酸化シリコン膜からなる層間絶縁膜31に接続孔32を形成した後、層間絶縁膜31上にスパッタ法で堆積したA1合金膜をパターニングしてデータ線DL、/DLを形成し、接続孔32を通じてデータ線DL、/DLとパッド層22Cとを接続する。

【0126】なお、本実施例では接続孔63～66の内部にW膜を埋め込んだが、W以外の金属材料を埋め込んでもよい。このとき接続孔63～66に埋め込む金属は、層間絶縁膜21上に堆積したA1合金膜をパターニングして電源電圧線22A、基準電圧線22B、パッド層22Cなどを形成する際のドライエッチングで削れ難い材料を選択する必要がある。また、接続孔63～66

の底部は半導体領域(n型半導体領域10またはp型半導体領域12)と接しているので、接続孔63～66に埋め込む金属は、半導体領域中の不純物が拡散し難い材料を選択する必要がある。ただし、不純物拡散速度の遅い金属シリサイド層を半導体領域の表面に設けた場合は、この限りではない。

【0127】本発明によれば、容量素子の上部電極および下部電極を局所配線として利用することにより、別途局所配線を設ける必要がなくなり、局所配線を設ける領域に他の配線を配置することが可能となるので、メモリセルの動作信頼性や配線設計の自由度を向上させることができる。

【0128】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0129】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0130】本発明によれば、メモリセルの上部に形成した容量素子の一方の電極を一方の蓄積ノードに接続し、他方の電極を他方の蓄積ノードに接続することにより、容量素子を通じて蓄積ノードに十分な電荷が供給されるので、メモリセルサイズを微細化したり、動作電圧を低下させたりした場合においても、α線による蓄積ノードの電位変動が抑制され、メモリセルのソフトエラー耐性が向上する。

【0131】本発明によれば、半導体基板上に堆積した2層の導電膜を使って周辺回路の容量素子を構成することにより、半導体基板に形成した拡散層(pn接合)などを使った容量素子に比べて素子の占有面積を小さくできるので、周辺回路の面積を縮小してSRAMを高集積化することができる。

【0132】本発明によれば、容量素子の電極と同一工程で形成されたパッド層を介在させてMISFETの半導体領域と配線とを接続することにより、フォトレジストをマスクにしたエッチングで半導体領域の上部に接続を形成する際のマスク合わせ余裕を小さくできるので、MISFETの面積を縮小してSRAMを高集積化することができる。

【0133】本発明によれば、ゲート電極とに達する接続孔を形成する工程に先立って、ゲート電極の上部を覆っている絶縁膜の一部の膜厚を薄くしておくことにより、短時間のエッチングでゲート電極を露出させることができるので、他の領域のオーバーエッチングが防止され、フィールド絶縁膜などが削られる不具合を防止できる。これにより、SRAMを有する半導体集積回路装置の製造歩留り、信頼性が向上する。

【図面の簡単な説明】



【図51】本発明のSRAMのメモリセルの第3の製造方法を示す半導体基板の要部断面図である。

【図52】本発明のSRAMのメモリセルの第3の製造方法を示す半導体基板の平面図である。

【図53】本発明のSRAMの周辺回路を示す半導体基板の要部断面図である。

【図54】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【図55】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【図56】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の平面図である。

【図57】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【図58】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の平面図である。

【図59】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の平面図である。

【図60】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【図61】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の平面図である。

【図62】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【図63】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【図64】本発明のSRAMのメモリセルの第4の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

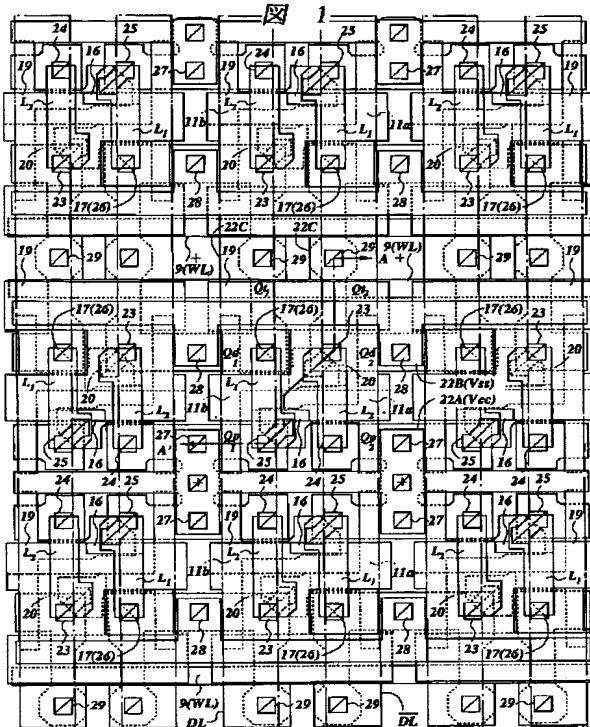
- 1 半導体基板
- 2 フィールド絶縁膜
- 3 p型ウエル
- 4 n型ウエル
- 5 p型埋込み層
- 6 n型埋込み層
- 7 n型半導体領域（ソース領域、ドレイン領域）
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 n型半導体領域（ソース領域、ドレイン領域）
- 11a ゲート電極
- 11b ゲート電極
- 12 p型半導体領域（ソース領域、ドレイン領域）
- 13 サイドウォールスペーサ
- 14 酸化シリコン膜
- 15 酸化シリコン膜
- 16 下部電極
- 17 接続孔
- 18 容量絶縁膜
- 19 上部電極
- 20 接続孔

- 21 層間絶縁膜
- 22A 電源電圧線
- 22B 基準電圧線
- 22C パッド層
- 22D 配線
- 23 接続孔
- 24 接続孔
- 25 接続孔
- 26 接続孔
- 27 接続孔
- 28 接続孔
- 29 接続孔
- 31 層間絶縁膜
- 32 接続孔
- 33 n型半導体領域
- 34 p型半導体領域
- 35 接続孔
- 36 接続孔
- 37 接続孔
- 38 パッド層
- 40 窒化シリコン膜
- 41 下部電極
- 42 上部電極
- 43 接続孔
- 44 接続孔
- 45 接続孔
- 46 接続孔
- 50 接続孔
- 51 下部電極
- 52 接続孔
- 53 上部電極
- 54 接続孔
- 55 接続孔
- 57 接続孔
- 58 接続孔
- 61 下部電極
- 62 上部電極
- 63 接続孔
- 64 接続孔
- 65 接続孔
- 66 接続孔
- 67 タングステン（W）膜
- AR 活性領域
- C 容量素子
- DL データ線
- /DL データ線
- L<sub>1</sub> 局所配線
- L<sub>2</sub> 局所配線
- Qd<sub>1</sub> 駆動用MISFET
- Qd<sub>2</sub> 駆動用MISFET

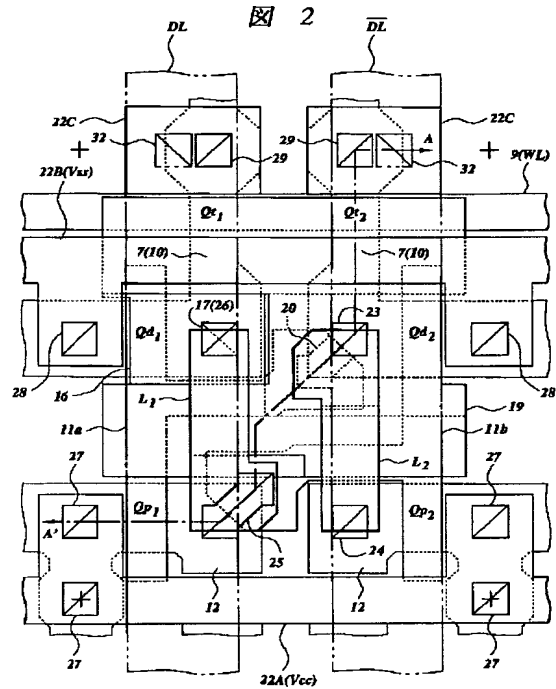
Q<sub>n</sub> nチャネル型MISFET  
 Q<sub>P1</sub> 負荷用MISFET  
 Q<sub>P2</sub> 負荷用MISFET

Q<sub>t1</sub> 転送用MISFET  
 Q<sub>t2</sub> 転送用MISFET  
 WL ワード線

【図1】

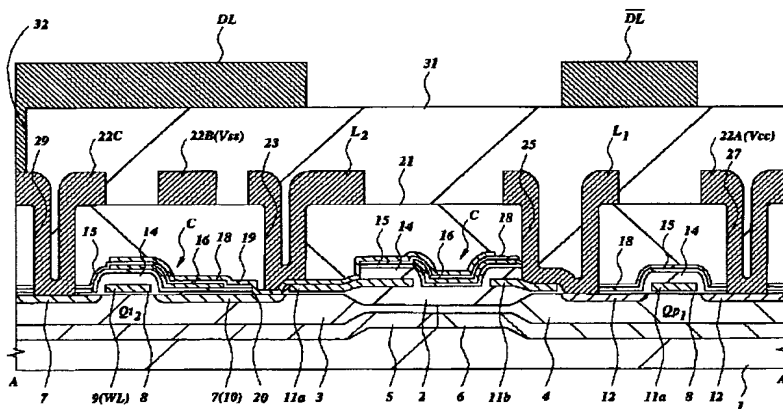


【図2】



【図3】

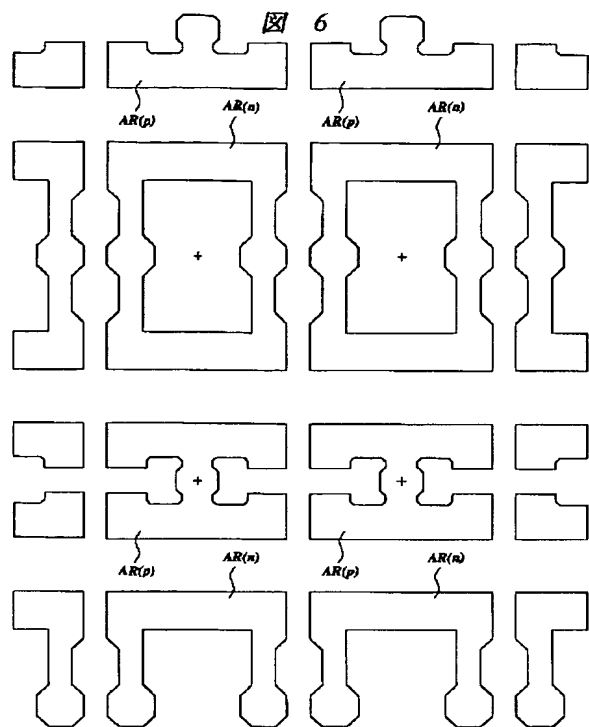
図 3



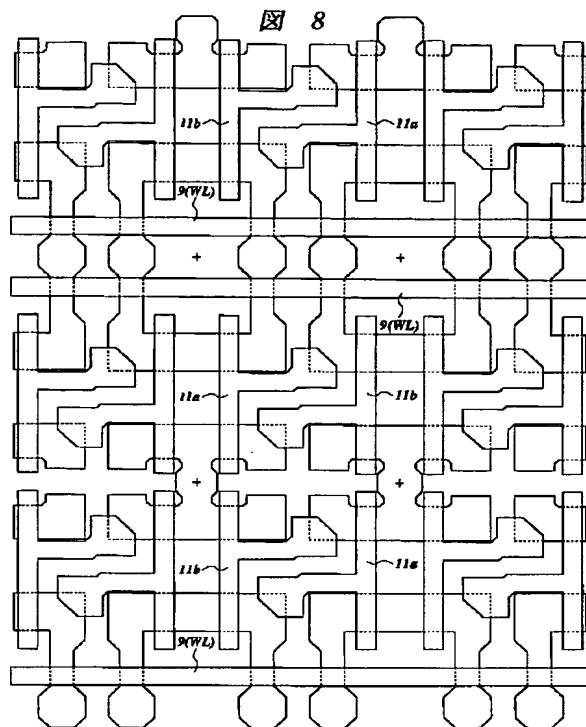
16: 下部電極  
 18: 容量絶縁膜  
 19: 上部電極



【図6】

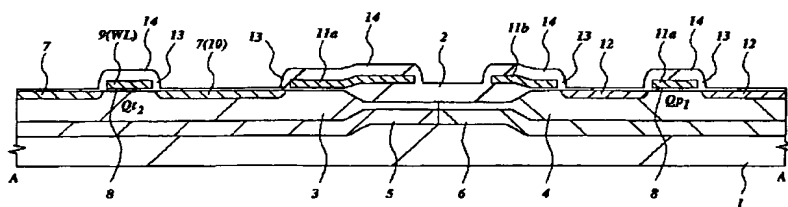


【図8】



【図9】

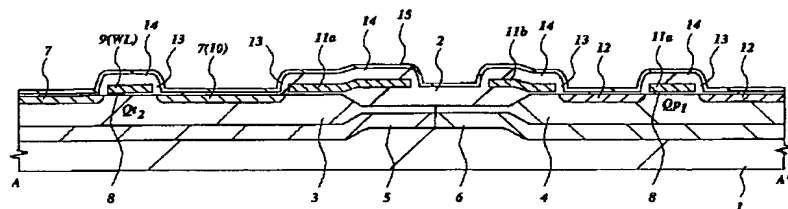
図 9



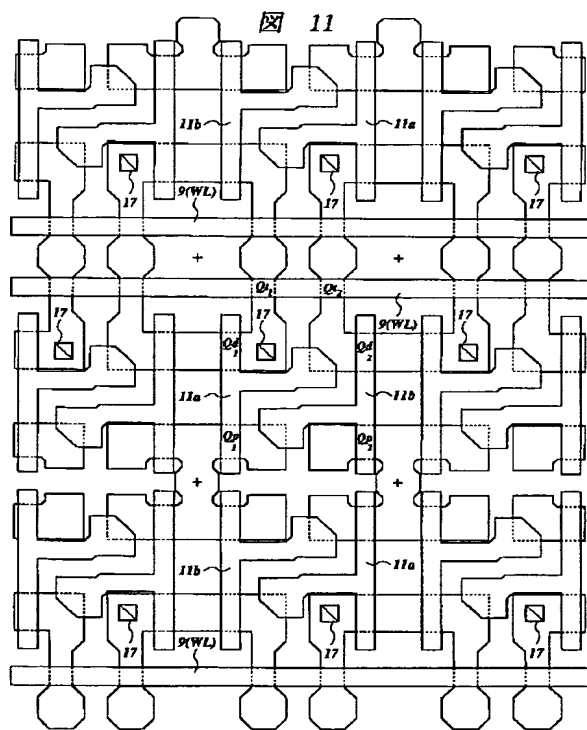


【図10】

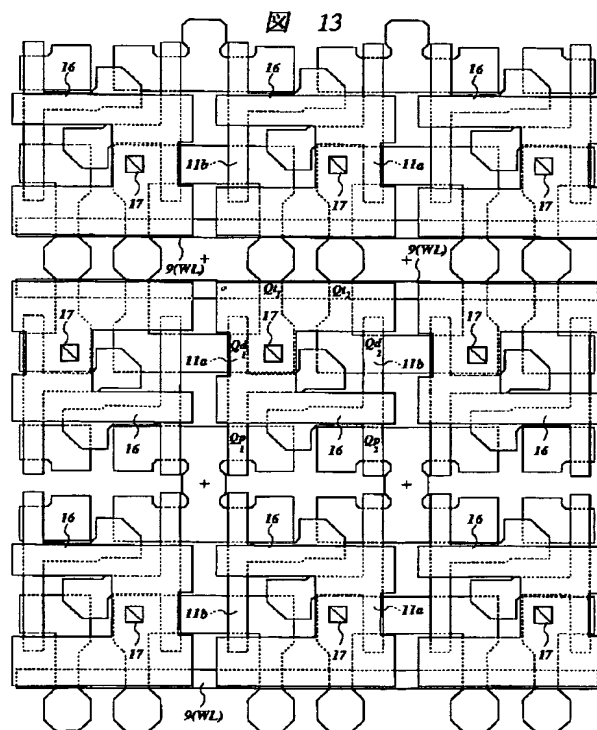
図 10



【図11】

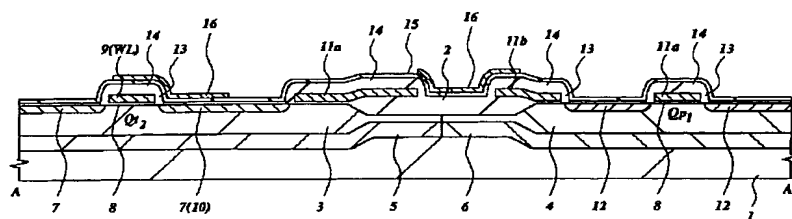


【図13】



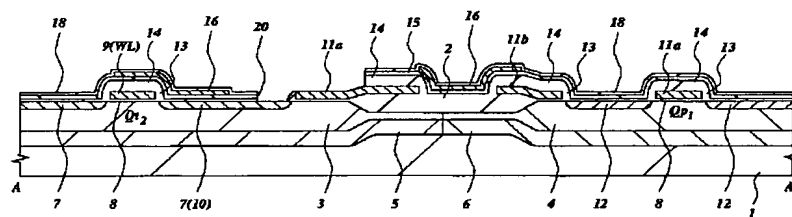
【図12】

図 12



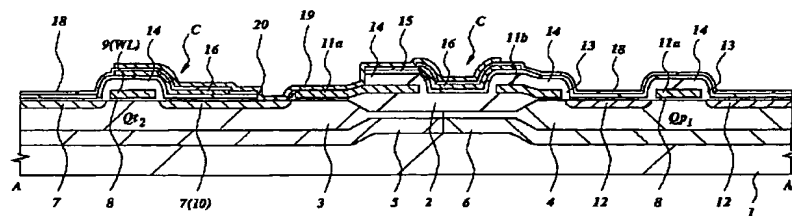
【図14】

図 14

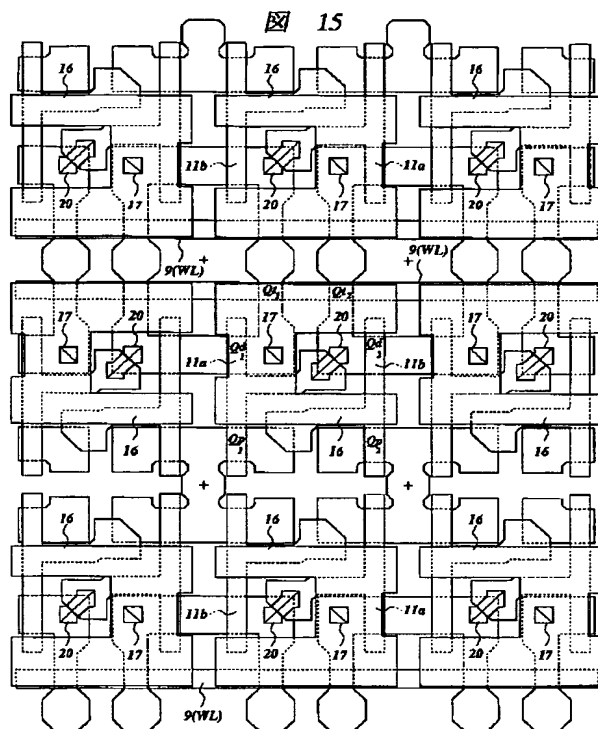


【図16】

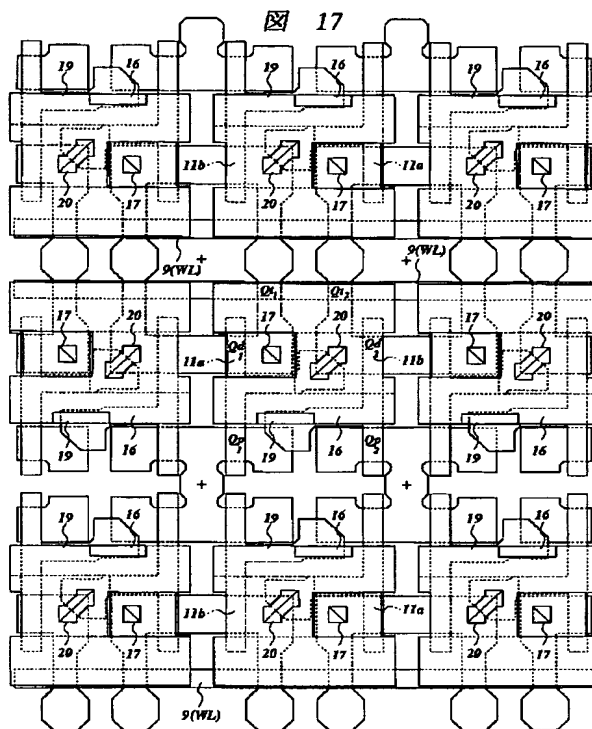
図 16



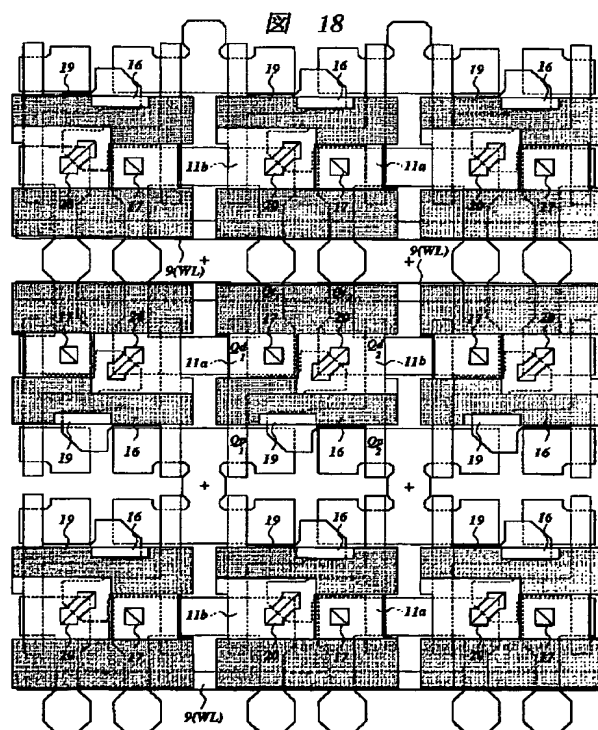
【図15】



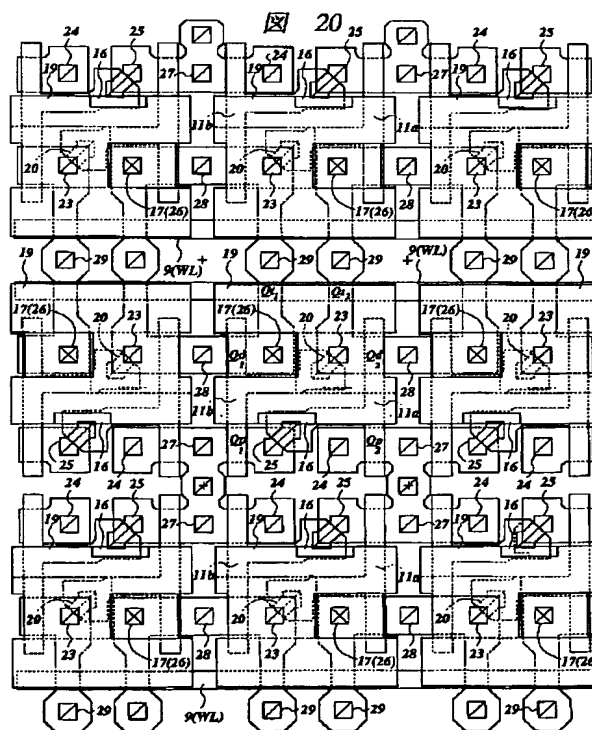
【図17】



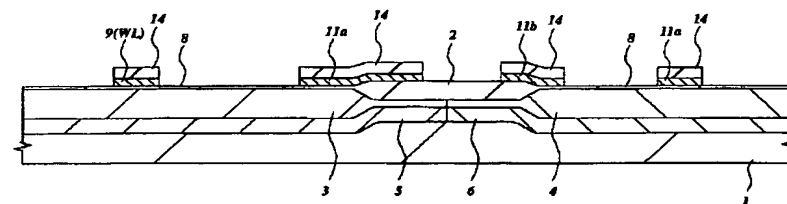
【図18】



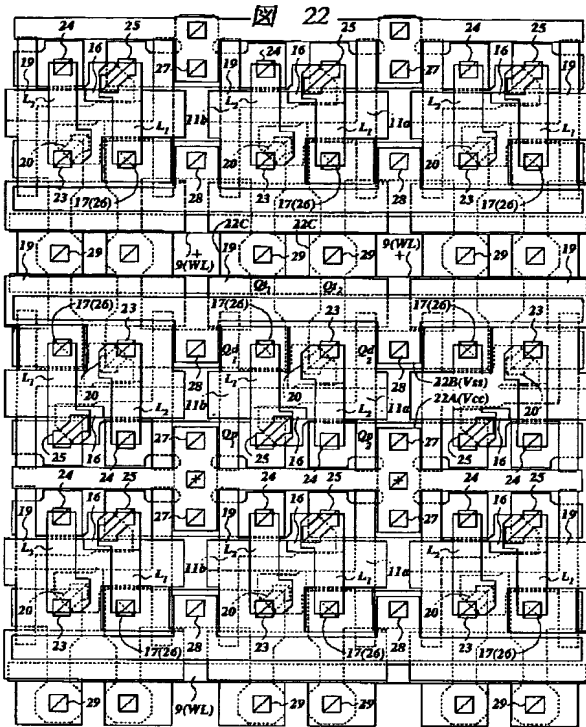
【図20】



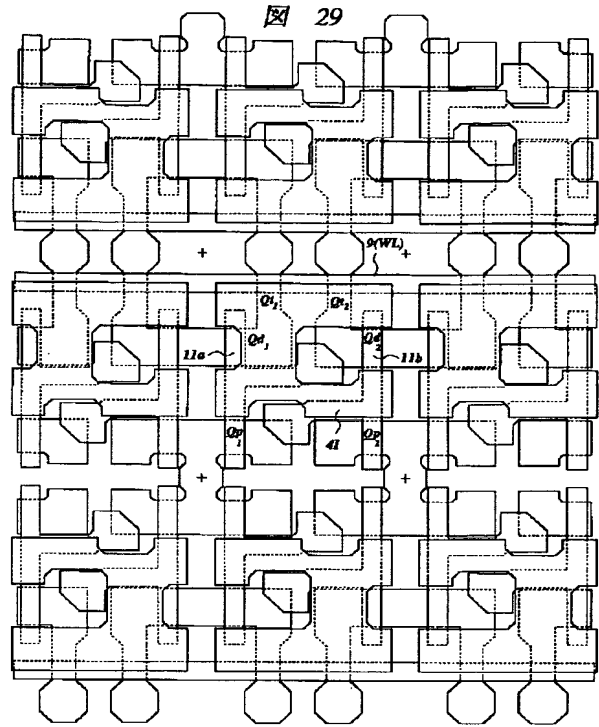
19



【図22】

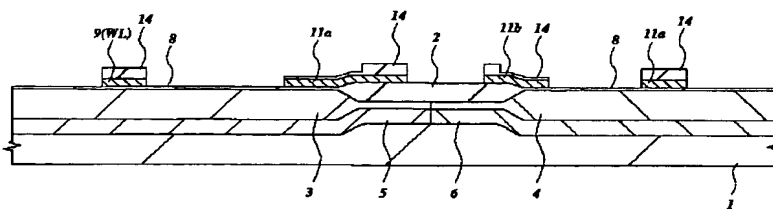


【図29】



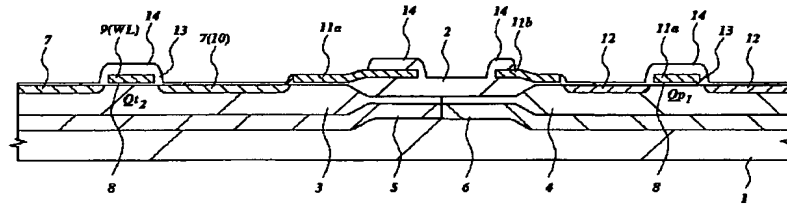
【図25】

図 25



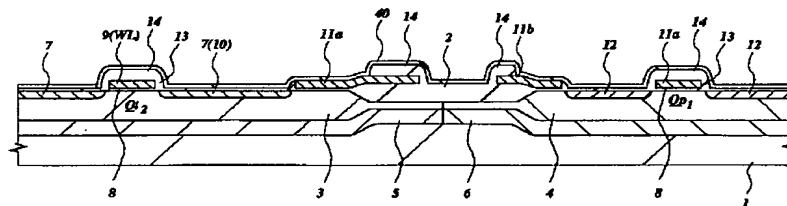
【図26】

図 26



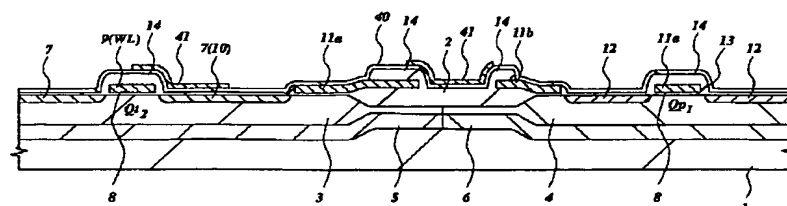
【図27】

図 27



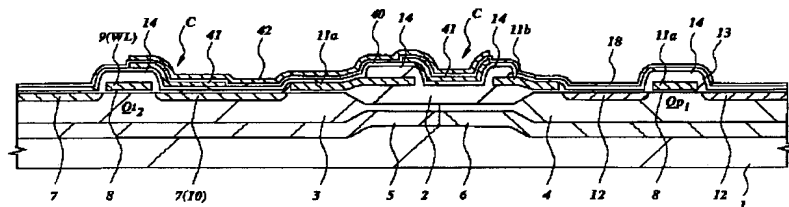
【図28】

図 28

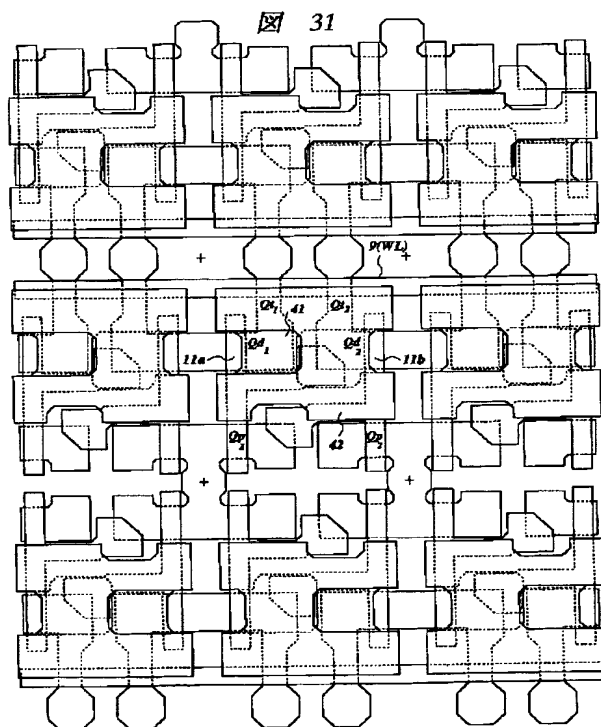


【図30】

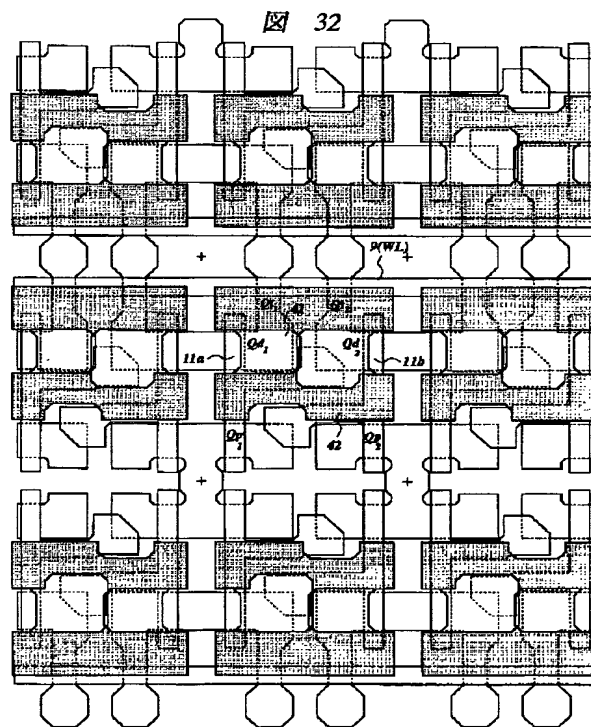
図 30



【図31】



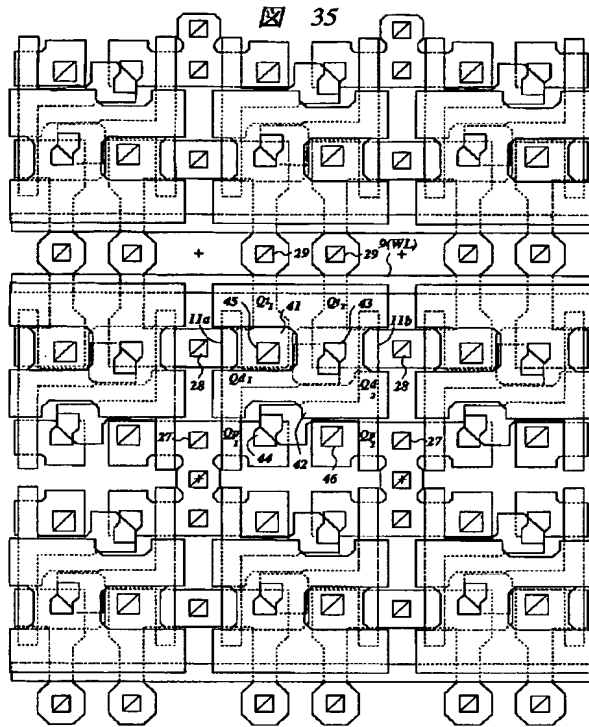
【図32】



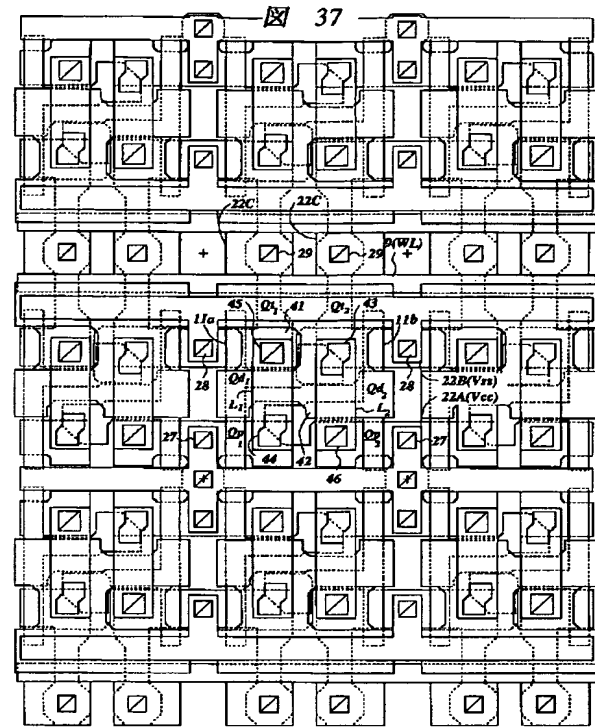




【図35】

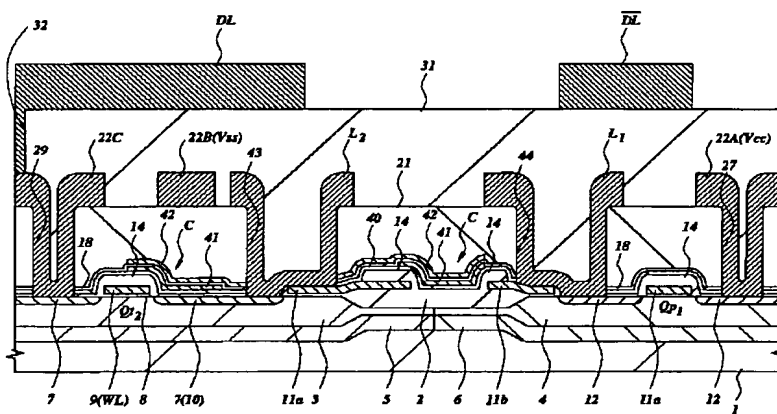


【図37】

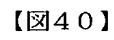


【図38】

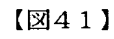
図 38



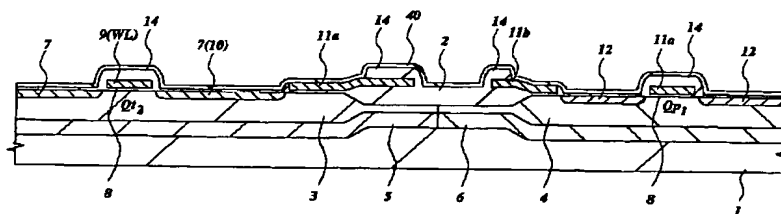
**39**



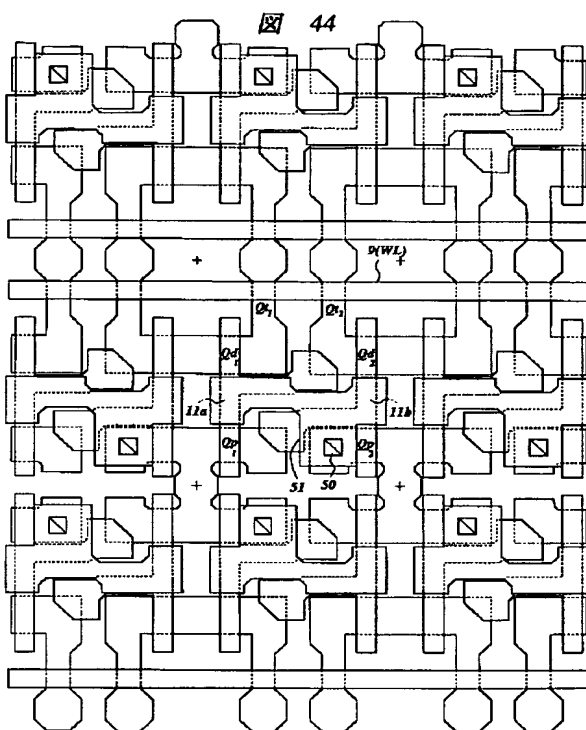
☒ 40



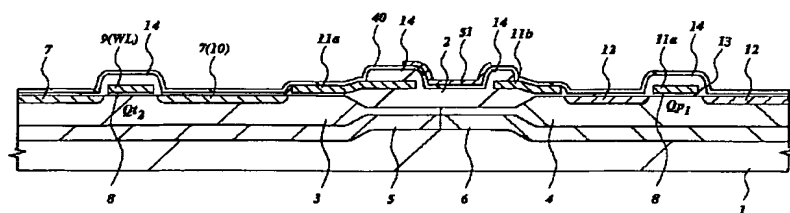
**41**



【図44】

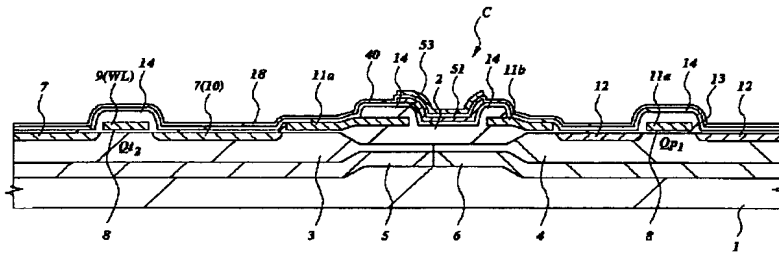


**☒ 43**



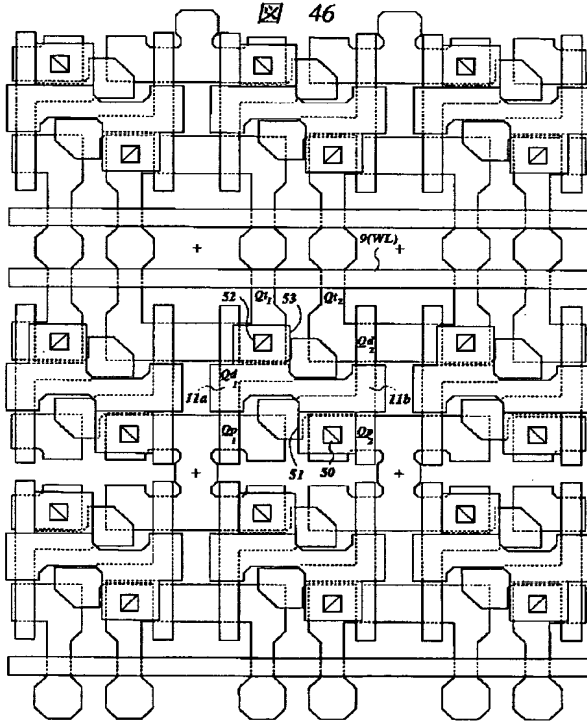
【図45】

図 45



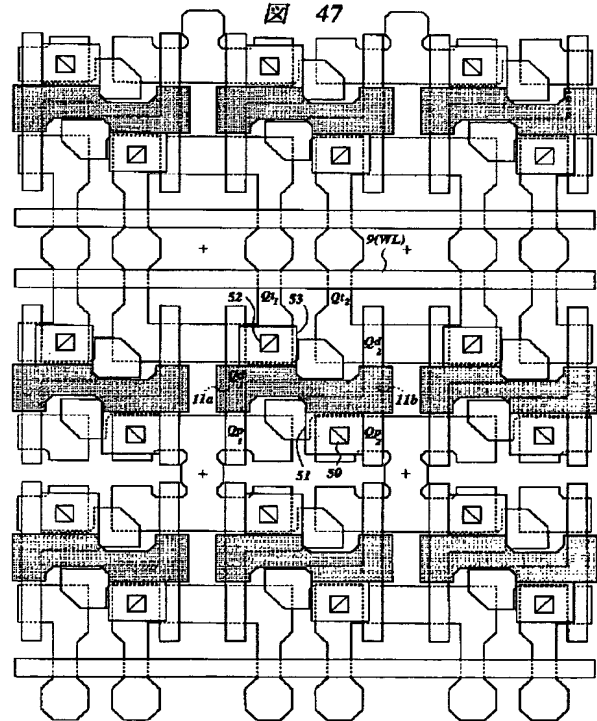
【図46】

図 46



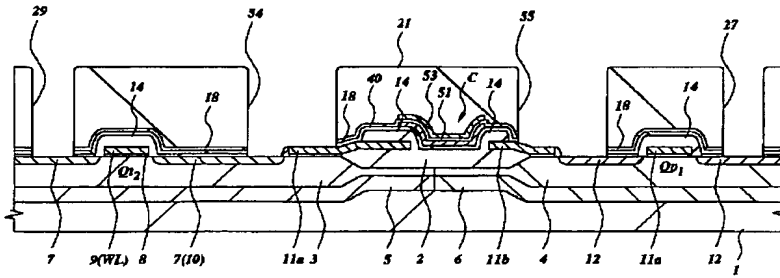
【図47】

図 47



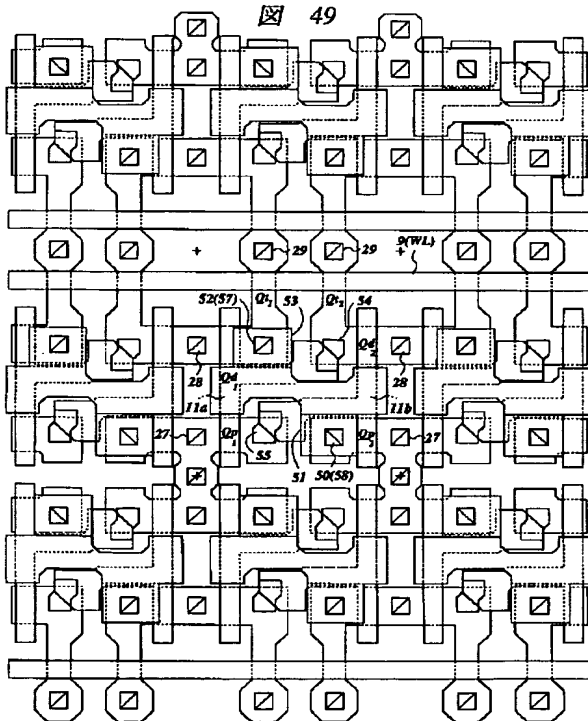
【図48】

図 48



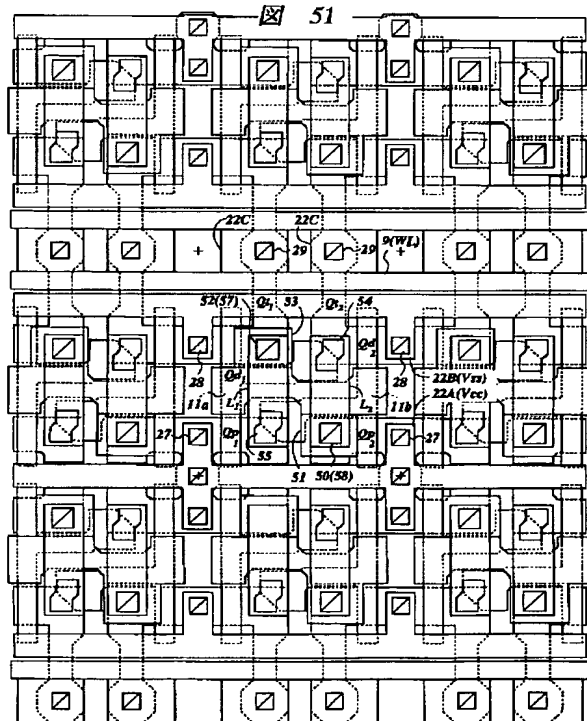
【図49】

図 49

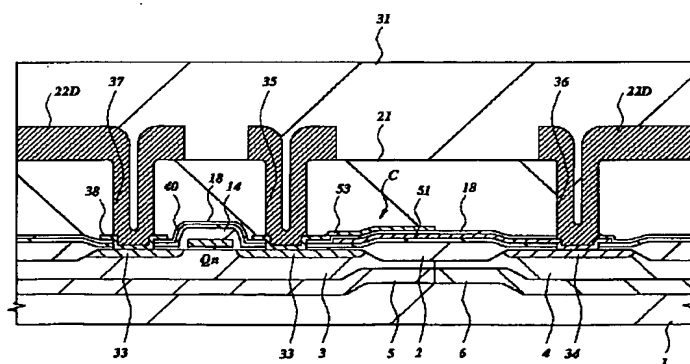


【図51】

図 51

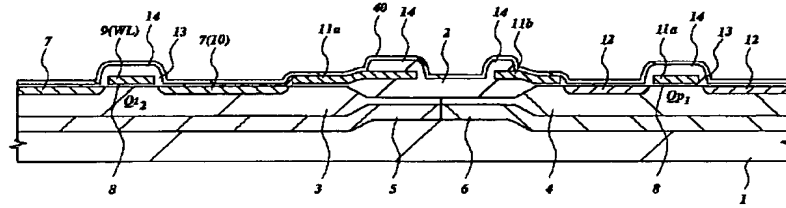


☒ 50



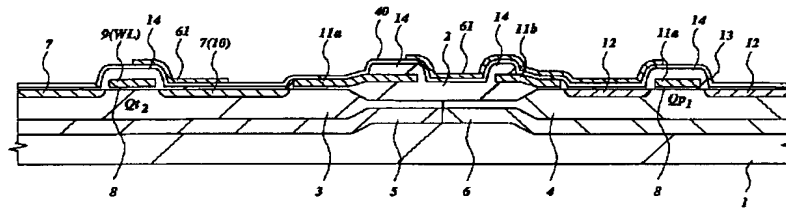
【図54】

図 54



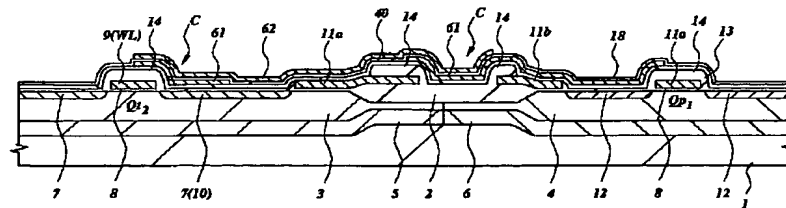
【図55】

図 55

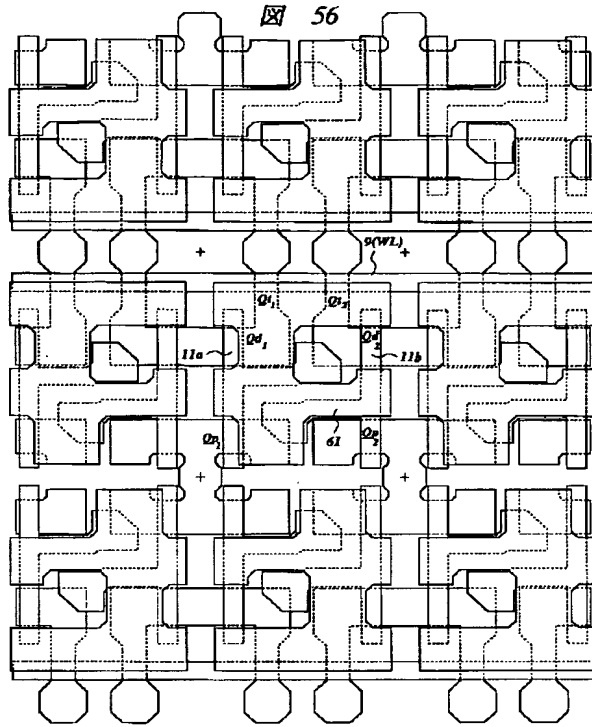


【図57】

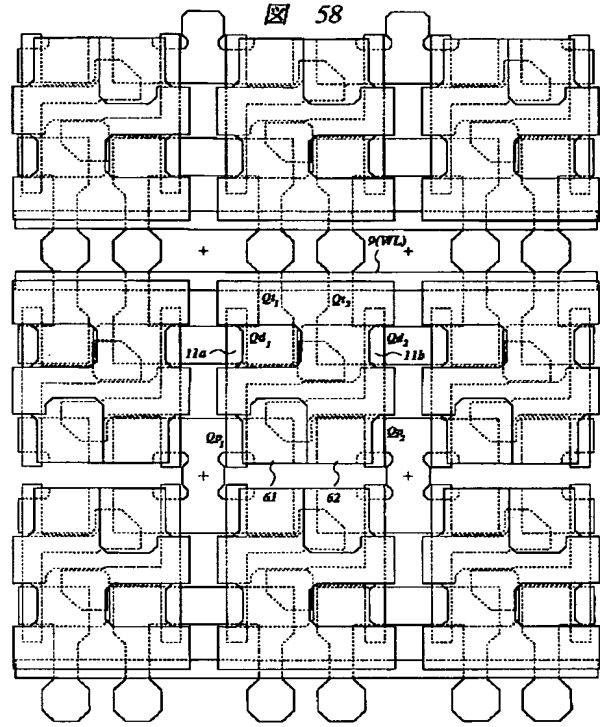
図 57



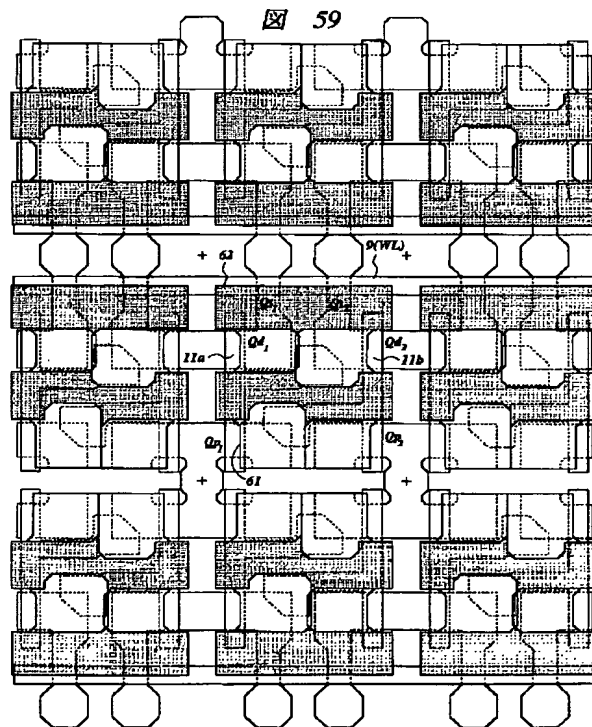
【図56】



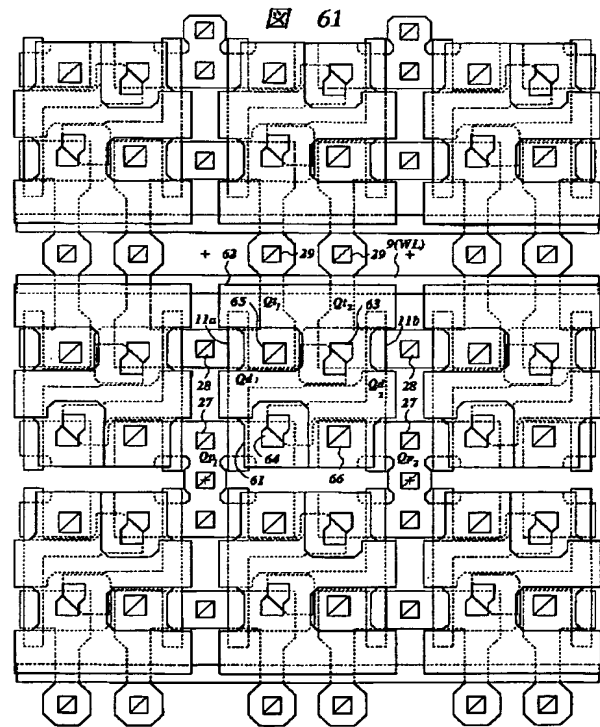
【図58】



【図59】



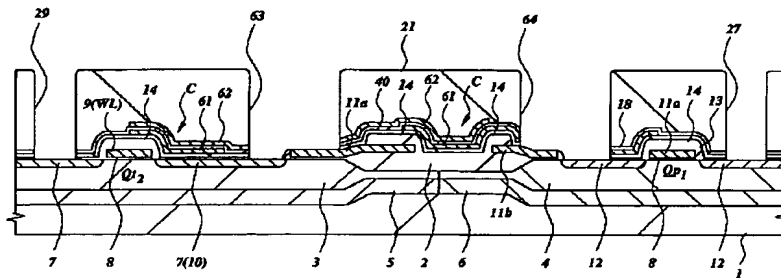
【図61】





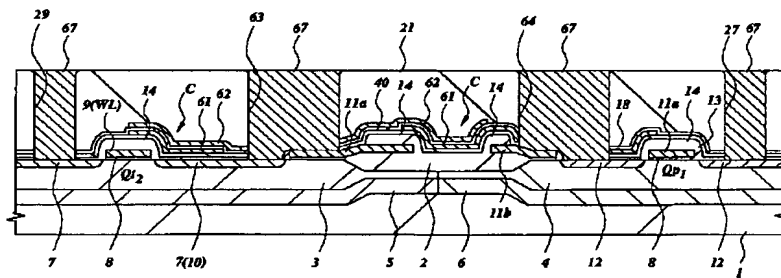
【図60】

図 60



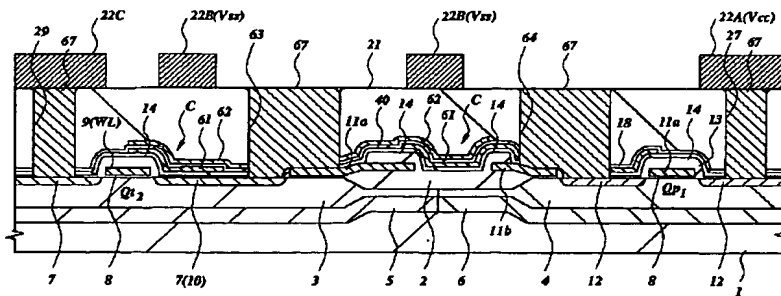
【図62】

図 62



【図63】

図 63



**IV** .64

